

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ryu OGIWARA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PHASE-CHANGE MEMORY DEVICE USING CHALCOGENIDE COMPOUND AS THE MATERIAL OF MEMORY CELLS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-382823	November 12, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 1 2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 8 2 8 2 3  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 8 2 8 2 3 ]

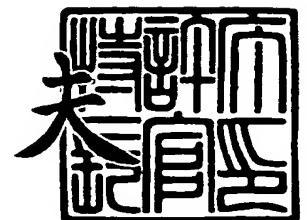
出 願 人                      株式会社東芝  
Applicant(s):



2 0 0 4 年    1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 A000304083  
【提出日】 平成15年11月12日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
        レクトロニクスセンター内  
    【氏名】 荻原 隆  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板上に形成されたアモルファス結晶相転移を生じる相転移層を含む複数のメモリセルと、

前記相転移層上に形成された第 1 電極層と、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一行の前記メモリセルを共通接続するワード線と、

前記第 1 電極層に電氣的に接続され、同一列の前記メモリセルの前記相転移層を共通接続するビット線と

を具備し、前記相転移層は、前記メモリセル毎に前記半導体基板に接触する第 1 領域と、同一列にある複数の前記メモリセル間で前記第 1 領域を共通接続する第 2 領域とを含み、

前記第 1 電極層は、前記第 2 領域上に形成され、

前記メモリセル毎に前記第 1 領域と前記半導体基板とが接する面積は、前記第 2 領域と前記第 1 電極層とが接する面積よりも小さい

ことを特徴とする相転移メモリ。

**【請求項 2】**

前記第 1 電極層と前記ビット線とを接続するコンタクトプラグを更に備える

ことを特徴とする請求項 1 記載の相転移メモリ。

**【請求項 3】**

前記相転移層は、前記第 1 領域と第 2 領域との間に設けられた第 3 領域を備え、

前記第 3 領域の幅は、前記第 1 領域と前記半導体基板とが接触する面積より大きく、且つ前記第 2 領域が前記第 1 電極層に接する面積よりも小さい

ことを特徴とする請求項 1 または 2 記載の相転移メモリ。

**【請求項 4】**

前記メモリセル毎に前記半導体基板上に形成された抵抗素子を更に備え、

前記抵抗素子は、前記半導体基板と、前記相転移素子の第 2 領域との間に形成され、

前記メモリセル毎に前記抵抗素子と前記第 1 領域とが接触する面積は、前記第 2 領域と前記第 1 電極層とが接する面積よりも小さい

ことを特徴とする請求項 1 乃至 3 いずれか 1 項記載の相転移メモリ。

**【請求項 5】**

半導体基板上に形成されたアモルファス結晶相転移を生じる相転移層を含む複数のメモリセルと、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一行の前記メモリセルを共通接続するワード線と、

同一列の前記メモリセルの前記相転移層を共通接続するビット線と

を具備し、前記相転移層は、前記メモリセル毎に前記半導体基板に接触する第 1 領域と、同一列にある複数の前記メモリセル間で前記第 1 領域を共通接続し且つ前記ビット線に接続される第 2 領域とを含み、

前記メモリセル毎に前記第 1 領域と前記半導体基板とが接する面積は、前記第 2 領域と前記ビット線とが接する面積よりも小さい

ことを特徴とする相転移メモリ。

**【請求項 6】**

前記ビット線は、第 1 金属層と、前記第 2 領域に接する第 2 金属層とを含む

ことを特徴とする請求項 5 記載の相転移メモリ。

**【請求項 7】**

前記第 1 金属層は、前記第 2 金属層よりも抵抗値が低い

ことを特徴とする請求項 6 記載の相転移メモリ。

**【請求項 8】**

前記相転移層は、前記第 1 領域と第 2 領域との間に設けられた第 3 領域を備え、

前記第3領域の幅は、前記第1領域と前記半導体基板とが接触する面積より大きく、且つ前記第2領域が前記ビット線に接する面積よりも小さい

ことを特徴とする請求項5乃至7いずれか1項記載の相転移メモリ。

【請求項9】

前記メモリセル毎に前記半導体基板上に形成された抵抗素子を更に備え、

前記抵抗素子は、前記半導体基板と、前記相転移素子の第2領域との間に形成され、

前記メモリセル毎に前記抵抗素子と前記第1領域とが接触する面積は、前記第2領域と前記ビット線とが接する面積よりも小さい

ことを特徴とする請求項5乃至8いずれか1項記載の相転移メモリ。

【請求項10】

前記第1領域と前記半導体基板との間に介在するようにして形成された第2電極層を更に備える

ことを特徴とする請求項1乃至3、及び5乃至8いずれか1項記載の相転移メモリ。

【請求項11】

前記第2電極層の前記第1領域に相對する面は、前記第1領域の前記第2電極層に相對する面よりも大きい

ことを特徴とする請求項10記載の相転移メモリ。

【請求項12】

前記メモリセルは、前記半導体基板中に形成されたバイポーラトランジスタを更に備え、

前記バイポーラトランジスタのコレクタまたはエミッタは前記第2領域に接続され、ベースは前記ワード線に接続される

ことを特徴とする請求項1乃至11いずれか1項記載の相転移メモリ。

【請求項13】

前記メモリセルは、前記半導体基板上に形成されたMOSトランジスタを更に備え、

前記MOSトランジスタのソースまたはドレインは前記第2領域に接続され、ゲートは前記ワード線に接続される

ことを特徴とする請求項1乃至11いずれか1項記載の相転移メモリ。

【請求項14】

前記相転移層における前記第1領域は結晶状態であり、前記第2領域の少なくとも一部は書き込みデータに応じて結晶状態とアモルファス状態のいずれかの状態をとる

ことを特徴とする請求項1乃至13いずれか1項記載の相転移メモリ。

**【書類名】明細書****【発明の名称】相転移メモリ****【技術分野】****【0001】**

この発明は、相転移メモリ（OUM：Ovonic Unified Memory）に関し、例えば、OUMのメモリセル構造に関するものである。

**【背景技術】****【0002】**

近年、新規な不揮発性のメモリ装置として、OUMが研究されている。

**【0003】**

OUMは、CD-RWやDVD-RAMなどでも利用されているカルコゲナイド化合物という相転移膜を記憶素子に用いている。そして、相転移膜がアモルファス状態にあるか、結晶状態にあるかによって、“0”と“1”とを記憶する。OUMの特長は不揮発性であるのみならず、既存のフラッシュメモリに比べて書き込み時間が早く、且つ書き換え可能回数も格段に多くできる点にある。

**【0004】**

従来のOUMのメモリセル構造としては、例えばカルコゲナイド化合物の一部でのみ相転移を起こさせる構造（例えば、非特許文献1参照）が提案されている。

【非特許文献1】Scott Tyson他著、“Non Volatile High Density, High Performance Phase Change Memory”、IEEE Aerospace Conference 2000、p.385-390

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

上記非特許文献1記載の構造であると、カルコゲナイド化合物の両端への印加電圧を低減でき、OUMの消費電力を削減できる。しかし、メモリセルアレイの面積が大きいという問題があった。また、単に金属配線等を用いて複数のメモリセル間でカルコゲナイド化合物の一端を共通接続する構造とすると、OUMの消費電力が大きくなるという問題があった。

**【0006】**

この発明は、上記事情に鑑みてなされたもので、その目的は、チップサイズを低減しつつ、低消費電力化可能な相転移メモリを提供することにある。

**【課題を解決するための手段】****【0007】**

この発明の第1の態様に係る相転移メモリは、半導体基板上に形成されたアモルファス-結晶相転移を生じる相転移層を含む複数のメモリセルと、前記相転移層上に形成された電極層と、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一行の前記メモリセルを共通接続するワード線と、前記電極層に電氣的に接続され、同一列の前記メモリセルの前記相転移層を共通接続するビット線とを具備し、前記相転移層は、前記メモリセル毎に前記半導体基板に接触する第1領域と、同一列にある複数の前記メモリセル間で前記第1領域を共通接続する第2領域とを含み、前記電極層は、前記第2領域上に形成され、前記第1領域と前記半導体基板とが接する面積は、前記第2領域と前記電極層とが接する面積よりも小さいことを特徴としている。

**【0008】**

また、この発明の第2の態様に係る相転移メモリは、半導体基板上に形成されたアモルファス-結晶相転移を生じる相転移層を含む複数のメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一行の前記メモリセルを共通接続するワード線と、同一列の前記メモリセルの前記相転移層を共通接続するビット線とを具備し、前記相転移層は、前記メモリセル毎に前記半導体基板に接触する第1領域と、同一列にある複数の前記メモリセル間で前記第1領域を共通接続し且つ前記ビット線に接続される第2領域とを含み、前記第1領域と前記半導体基板とが接する面積は、前記第2領域と前記ビ

ット線とが接する面積よりも小さいことを特徴としている。

【0009】

上記のような構成によれば、相転移素子は複数のメモリセルMCによって共用されている。すなわち、従って、相転移素子の第2領域をメモリセル毎に分離する場合に比べて、パターンニング工程が容易となると共に、メモリセルの集積度を向上出来る。また、相転移素子は、その上部（第2領域）において電極と接し、下部（第1領域）において半導体基板と接している。そして、半導体基板との接触面積は、電極との接触面積よりも小さい。従って、書き込み時に電圧パルスを印加した際、相転移素子において発生するジュール熱は、半導体基板との接触部分でその殆どを発生する。すなわち、印加電圧に対して効率的にジュール熱を発生させることが出来る。従って、従来に比べて小さい印加電圧によって、相転移を起こすのに十分な熱を発生させることが出来る。その結果、OUMの消費電力を低減できる。

【発明の効果】

【0010】

この発明によれば、チップサイズを低減しつつ、低消費電力化可能な相転移メモリを提供できる。

【発明を実施するための最良の形態】

【0011】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0012】

この発明の第1の実施形態に係る相転移メモリについて図1を用いて説明する。図1は本実施形態に係るOUMのブロック図である。

【0013】

図示するように、OUM10は、メモリセルアレイ11、カラムデコーダ12、センスアンプ13、ビット線ドライバ14、及びロウデコーダ15を備えている。

【0014】

メモリセルアレイ11は、マトリクス状に配置された複数個（ $(m+1) \times (n+1)$ ）個、但し $m$ 、 $n$ は自然数であり、図1では（ $6 \times 4$ ）個のみ示す）のメモリセルMC00～MCmnを有している。メモリセルMCの各々は、相転移素子20及びスイッチングトランジスタ（ $pnp$ 型バイポーラトランジスタ）21を含んでいる。相転移素子20は、例えばカルコゲナイド化合物で形成される。相転移素子20の一端は、ビット線BL0～BLnのいずれかに接続され、他端はスイッチングトランジスタ21の電流経路の一端（エミッタ）に接続されている。スイッチングトランジスタ21のベースはワード線WL0～WLmのいずれかに接続され、電流経路の他端（コレクタ）は接地電位に接続されている。

【0015】

同一行に配置されたメモリセルのスイッチングトランジスタ21のベースは、ワード線WL0～WLmのいずれかに共通接続されている。また、同一列に配置されたメモリセルの相転移素子20の一端は、ビット線BL0～BLnのいずれかに共通接続されている。

【0016】

カラムデコーダ12は、カラムアドレス信号をデコードして、カラムアドレスデコード信号を得る。

【0017】

ビット線ドライバ14は、書き込み時及び読み出し時において、カラムアドレスデコード信号に基づいて、ビット線BL0～BLnのいずれかを選択する。そして、選択したビット線に電圧パルスを供給する。

【0018】

ロウデコーダ15は、ロウアドレス信号をデコードして、ロウアドレスデコード信号を得る。そして、書き込み時及び読み出し時において、ロウアドレスデコード信号に基づい

て、ワード線WL 0～WL mのいずれかを選択する。すなわち、選択ワード線に0 Vを与える。

#### 【0019】

センスアンプ13は、ロウデコード15及びカラムデコード12によって選択されたメモリセルから読み出したデータを増幅する。

#### 【0020】

次に、メモリセルアレイ11の平面パターンについて、図2を用いて説明する。図2はメモリセルアレイ11の平面図である。

#### 【0021】

図示するように、p型半導体基板25中には、第1方向に沿ったストライプ形状の素子領域AAが形成されている。なお、p型半導体基板25はスイッチングトランジスタ21のコレクタとして機能する。素子領域AAの表面内には、n型不純物拡散層26が形成されており、このn型不純物拡散層26が、スイッチングトランジスタ21のベース、すなわちワード線WL 0～WL mとして機能する。素子領域AA以外の領域には、素子分離領域STIが形成されている。また素子領域AAの表面領域内には、互いに離隔された島状のp<sup>+</sup>型不純物拡散層27が形成されている。このp<sup>+</sup>型不純物拡散層27は、スイッチングトランジスタ21のエミッタとして機能する。

#### 【0022】

スイッチングトランジスタ21上には、相転移素子20が形成されている。相転移素子20は、第1領域28と第2領域29とを含んでいる。第1領域28は、スイッチングトランジスタ21のエミッタ27上に形成された柱状形状を有している。第2領域29は、第1方向に直交する第2方向で隣接する2つのスイッチングトランジスタ21を跨ぐようにして、第2方向に沿ったストライプ形状に形成されている。そして第2領域29は、上記2つのスイッチングトランジスタ21に接続される第1領域28に接続されている。

#### 【0023】

相転移素子20上には、第2方向に沿ったストライプ形状のビット線BL 0～BL nが形成されている。ビット線BL 0～BL nはそれぞれ、同一列にある相転移素子20の第2領域29と、コンタクトプラグCP 1によって接続されている。

#### 【0024】

次に、メモリセルアレイ11の断面構造について、図3を用いて説明する。図3は図2におけるY1-Y1'線に沿った断面図である。

#### 【0025】

図示するように、p型半導体基板25中には素子分離領域STIが形成されており、素子分離領域STIによって周囲を取り囲まれた素子領域AA内に、スイッチングトランジスタ21が形成されている。スイッチングトランジスタ21は、p型半導体基板25、p型半導体基板25の表面内に形成されたn型不純物拡散層26、及びn型不純物拡散層26の表面領域内に形成されたp<sup>+</sup>型不純物拡散層27を有している。前述の通り、それぞれの領域が、pnp型バイポーラトランジスタのコレクタ領域、ベース領域、及びエミッタ領域として機能する。コレクタ領域25は、各スイッチングトランジスタ間で共通接続されており、例えば接地電位に接続されている。ベース領域26は、同一行にあるスイッチングトランジスタ間で共通接続されており、各列間は電氣的に分離されている。またエミッタ領域27はスイッチングトランジスタ毎に電氣的に分離されている。なお、同一行にあるスイッチングトランジスタ21のベース領域は、n型不純物拡散層26によって共通接続されても良いし、別途設けた金属配線層によって共通接続されても良い。

#### 【0026】

半導体基板25上には、上記スイッチングトランジスタ21を被覆するようにして層間絶縁膜30が形成されている。層間絶縁膜30中には、その表面からエミッタ領域27に達するコンタクトホールCHが形成されている。そして、層間絶縁膜30上に、コンタクトホールCHを埋め込むようにして相転移素子20が形成されている。相転移素子20は、アモルファス-結晶相転移を起こす材料、例えばGeTeSbなどによって形成される



。相転移素子20は、前述の通り第1領域28、第2領域29を含む。第1領域28は、メモリセル毎に設けられ、コンタクトホールCHを埋め込んでいる。そしてコンタクトホールCH底部で、エミッタ領域27に接している。また第2領域29は層間絶縁膜30上に形成され、2つの第1領域28に接している。

#### 【0027】

相転移素子20の第2領域29上には電極31が形成されている。そして、層間絶縁膜30上には、相転移素子20を被覆するようにして層間絶縁膜32が形成されている。層間絶縁膜32中には、電極31に接続されるコンタクトプラグCP1が形成されている。更に、層間絶縁膜32上には、同一列のコンタクトプラグCP1を共通接続するようにして、金属配線層33が形成されている。金属配線層33は、ビット線BLとして機能する。

#### 【0028】

図4は、図3の一部領域の拡大図である。図示するように、相転移素子20の第2領域29上面は、電極31に接しており、その接触面積を $d_1$ とする。また、相転移素子20の第1領域28の底部はエミッタ領域27に接しており、その接触面積を $d_2$ 、 $d_3$ とする。すると、これらの間には $d_1 > d_2$ 、 $d_3$ なる関係がある。すなわち、相転移素子20は、スイッチングトランジスタ21のエミッタ領域27との接触面積が、ビット線に接続される電極31との接触面積よりも小さくなるように形成される。

#### 【0029】

従って、相転移素子20とエミッタ領域27との接触抵抗は、相転移素子20と電極31との接触抵抗よりも高くなる。すなわち、相転移素子20に電流を流した際に発生するジュール熱は、電極31との接触領域よりもむしろエミッタ領域27との接触領域で発生する。よって、書き込み時において相転移が起きる領域、すなわち書き込み可能領域(Programmable volume)は、相転移素子20内におけるエミッタ領域27との接触領域となる。

#### 【0030】

次に上記構成のOUMの動作について説明する。

まず、書き込み動作について、図1、図4、図5を用いて説明する。図5は、書き込み時にビット線に印加される書き込み電圧のタイムチャートである。なお、ここではビット線BL1とワード線WL0との交点に配置されたメモリセルMC01にデータを書き込む場合を例に挙げて説明する。

#### 【0031】

書き込み動作においては、ビット線に電圧パルスを与えることにより、相転移素子20を局所的に加熱する。そして、発生したジュール熱によって、相転移素子20を局所的に結晶相またはアモルファス相に変化させる。

#### 【0032】

<書き込み動作1：結晶状態へ変化(セット)>

まず、ロウデコーダ15が、ロウアドレスデコード信号に基づいてワード線WL0を選択する。そして、ロウデコーダ15は、選択ワード線WL0に0Vを供給し、その他の非選択ワード線WL1~WLmに“H”レベルを与える。

#### 【0033】

次に、ビット線ドライバ14がカラムアドレスデコード信号に基づいてビット線BL1を選択する。そして、ビット線ドライバ14が、ビット線BL1に電圧パルス(セットパルス)を印加する。

#### 【0034】

セットパルスは、図5に示すように、電圧値 $V_1$ 、パルス幅 $t_2$ の電圧パルスである。まず、相転移素子20をアモルファス状態から結晶状態に変化させる為には、一定時間、電圧パルスを印加する。すると、図4に示すように相転移素子20内に電流パスが形成される。この時点で、メモリセルMC01のスイッチングトランジスタ21のベースは0Vとされているから、書き込み電流 $I_{write}$ が、ビット線BL1からスイッチングトランジ

スタ 21 のコレクタに向かって流れだす。更に電流を流し続けると、相転移素子 20 におけるスイッチングトランジスタ 21 のエミッタ領域 27 との接触領域においてジュール熱が発生する。このジュール熱によって、相転移素子 20 における原子の組み替え（相転移）が起こる。その結果、相転移素子 20 におけるエミッタ領域 27 との接触領域は結晶状態へと変化する。

#### 【0035】

上記により、相転移素子 20 は低抵抗状態となり、書き込みが終了する。

#### 【0036】

<書き込み動作 2：アモルファス状態へ変化（リセット）>

まず、ロウデコーダ 15 が、ロウアドレスデコード信号に基づいてワード線 WL 0 を選択する。そして、ロウデコーダ 15 は、選択ワード線 WL 0 に 0 V を供給し、その他の非選択ワード線 WL 1 ~ WL m に “H” レベルを与える。

#### 【0037】

次に、ビット線ドライバ 14 がカラムアドレスデコード信号に基づいてビット線 BL 1 を選択する。そして、ビット線ドライバ 14 が、ビット線 BL 1 に電圧パルス（リセットパルス）を印加する。

#### 【0038】

リセットパルスは、図 5 に示すように、電圧値  $V_2$  ( $> V_1$ )、パルス幅  $t_1$  ( $< t_2$ ) の急峻な電圧パルスである。このリセットパルスが印加されることにより、相転移素子 20 の温度はその融点以上に上昇される。これにより、相転移素子 20 の結晶は溶融される。そして時刻  $t_1$  でリセットパルスが立ち下がることで、相転移素子 20 の温度が下げられる。この温度の下がり方は、温度上昇の程度に依存する。この場合、急激に温度が上げられたため、温度の低下も急激な変化となる。この急激な温度勾配により、過冷却液体状態を経て、アモルファス相が形成される。

#### 【0039】

以上のように、相転移素子 20 を高温から急冷することにより、エミッタ領域 27 との接触領域をアモルファス状態に変化させる。その結果、相転移素子 20 は高抵抗状態となり、書き込みが終了する。

#### 【0040】

<読み出し動作>

次に読み出し動作について図 1 及び図 4 を用いて説明する。読み出し動作は、ビット線に、相転移素子 20 が相転移を起こさない程度の低い電圧パルスを与えて、相転移素子 20 の抵抗値を読み取ることによって行う。ここではメモリセル MC 01 からデータを読み出す場合を例に挙げて説明する。

#### 【0041】

まず、ロウデコーダ 15 が、ロウアドレスデコード信号に基づいてワード線 WL 0 を選択する。そして、ロウデコーダ 15 は、選択ワード線 WL 0 に 0 V を供給し、その他の非選択ワード線 WL 1 ~ WL m に “H” レベルを与える。

#### 【0042】

次に、ビット線ドライバ 14 がカラムアドレスデコード信号に基づいてビット線 BL 1 を選択する。そして、ビット線ドライバ 14 が、ビット線 BL 1 に電圧パルス ( $< V_1$ 、 $V_2$ ) を印加する。すると、相転移素子 20 がリセット状態、すなわちエミッタ領域 27 との接触領域がアモルファス状態の場合、電流は殆ど流れない。逆に、相転移素子 20 がセット状態、すなわちエミッタ領域 27 との接触領域が結晶状態の場合、大きな電流が流れる。そして、センスアンプ 14 によって、ビット線の電位変化を増幅して、データの読み出しが完了する。

#### 【0043】

上記実施形態に係る OUM であると、以下に示す効果が得られる。

(1) チップサイズを縮小化出来ると共に、製造プロセスを簡略化出来る。この点につき、以下詳細に説明する。

## 【0044】

図2乃至図4に示すように、相転移素子20は2つのメモリセルMCによって共用されている。すなわち、相転移素子20の第2領域29は、2つのメモリセル間に跨って形成されている。従って、第2領域29をメモリセル毎に分離する場合に比べて、パターンニング工程が容易となると共に、メモリセルの集積度を向上出来る。

## 【0045】

また、相転移素子20を2つのメモリセルMCで共用することによって、ビット線BL、コンタクトプラグCP1も、2つのメモリセルMCあたり1つで良い。従って、コンタクトプラグCP1形成時のパターンニング工程が容易になると共に、メモリセルの集積度を向上できる。

## 【0046】

(2) OUMの消費電力を低減できる。この点につき、以下詳細に説明する。

## 【0047】

上記実施形態に係る構造であると、相転移素子20は、その上部において電極31と接し、下部においてスイッチングトランジスタ21と接している。そして、メモリセル毎のスイッチングトランジスタ21との接触面積は、電極31との接触面積よりも小さい。従って、書き込み時に電圧パルスを印加した際、相転移素子20において発生するジュール熱は、スイッチングトランジスタ21との接触部分でその殆どを発生する。これは、電極31との接触部分よりも、スイッチングトランジスタ21との接触部分の方が、接触抵抗が大きいためである。

## 【0048】

このように、局所的にジュール熱を発生出来る。すなわち、印加電圧に対して効率的にジュール熱を発生させることが出来る。従って、従来に比べて小さい印加電圧によって、相転移を起こすのに十分な熱を発生させることが出来る。その結果、OUMの消費電力を低減できる。

## 【0049】

なお、本実施形態に係るOUMは、2つのメモリセルで1つの相転移素子20を共有している。しかし、図6のメモリセルの断面図に示すように、書き込み時に相転移を起こす領域は、スイッチングトランジスタに接する領域だけである。すなわち、メモリセル毎に設けられた第2領域28内においてのみ、相転移は起こる。従って、相転移素子20を共有する2つのメモリセルのうち、いずれか一方に対して書き込みが為されたとしても、他方に対しては何ら影響しない。

## 【0050】

次にこの発明の第2の実施形態に係る相転移メモリについて説明する。本実施形態に係る相転移メモリは、上記第1の実施形態において、相転移素子20とスイッチングトランジスタ21との接触部分に電極を設けたものである。図7は、本実施形態に係るOUMのメモリセルアレイの断面図であり、図2におけるY1-Y1'線に沿った方向に対応する断面構造を示している。また図8は、図7における一部領域の断面図である。

## 【0051】

図示するように、スイッチングトランジスタ21のエミッタ領域27上に電極40が形成されている。そして、相転移層20の第1領域28は、電極40に接するようにして形成されている。また、電極40の上面の面積は、第1領域28の底面よりも大きくなるように形成されている。その他の構成は、上記第1の実施形態と同様であるので説明は省略する。勿論、相転移素子20において、個々の第1領域28と電極40とが接する面積は、第2領域と電極31とが接する面積より小さい。

## 【0052】

また、本実施形態に係るOUMの動作は、上記第1の実施形態と同様である。書き込み時において、相転移が起きるのは、相転移層20の第1領域28において、電極40と接触する領域である(図8参照)。

## 【0053】

本実施形態に係る OUM であると、上記第 1 の実施形態で説明した (1)、(2) の効果に併せて、下記 (3) の効果が得られる。

【0054】

(3) 書き込み動作信頼性を向上できる。

本実施形態に係る OUM であると、相転移層 20 は電極 40 上に形成されている。電極 40 は、エミッタ領域 27 よりも低抵抗の、例えば金属層等によって形成されている。そして、相転移素子 20 の第 1 領域 28 底面の全面が、電極 40 に接している。従って、第 1 領域 28 底面と、電極 40 との間の接触抵抗は、その平面内において、ほぼ均一である。すなわち、第 1 領域 28 底面において、ほぼ均一にジュール熱が発生する。従って、書き込み時において、相転移は第 1 領域の底面領域で、その平面内において均一に起きる。

【0055】

相転移素子 20 にリセットパルスを印加して、結晶層からアモルファス相に変化させる場合、相転移は第 1 領域 28 底部の全面で起きなければならない。なぜなら、たとえ僅かな領域であったとしても、その底面に結晶相の領域が残れば、結晶層によりスイッチングトランジスタと相転移層 20 とが接していると、その領域は低抵抗である。そして読み出し時に読み出し用電圧パルスを印加した場合、当該領域を介して電流パスが形成される。従って、相転移は、第 1 領域 28 底部全面において発生する必要がある。

【0056】

この点、本実施形態に係る OUM であると、相転移素子 20 においてスイッチングトランジスタに接する第 1 領域の底面は、均一にジュール熱が発生し、これにより相転移も均一に起きる。

【0057】

従って、OUM の書き込み動作、特にメモリセルをリセット状態（アモルファス相）にする際の書き込み信頼性を向上できる。

【0058】

次にこの発明の第 3 の実施形態に係る相転移メモリについて説明する。本実施形態に係る相転移メモリは、上記第 1 の実施形態において、コンタクトプラグ CP1 を廃したものである。図 9 は、本実施形態に係る OUM のメモリセルアレイの断面図であり、図 2 における Y1-Y1' 線に沿った方向に対応する断面構造を示している。

【0059】

図示するように、ビット線として機能する金属配線層は、例えば TiW 等により形成された第 1 配線 41 と、例えばアルミニウム (Al) や、銅 (Cu) 等により第 1 配線 41 上に形成され且つ第 1 配線よりも低抵抗の第 2 配線 33 とを含む多層構造を有している。そして、第 1 配線の底面は、相転移素子 20 における第 2 領域 29 上面の全面と接している。その他の構成は、上記第 1 の実施形態と同様である。

【0060】

また、本実施形態に係る OUM の動作は、上記第 1 の実施形態と同様であるので、説明は省略する。

【0061】

本実施形態に係る OUM であると、上記第 1 の実施形態で得られた (1)、(2) の効果に併せて、下記 (4)、(5) の効果が得られる。

【0062】

(4) OUM の動作信頼性を向上できる。

本実施形態に係る OUM であると、相転移層 20 は、コンタクトプラグを介さずに、直接ビット線に接続されている。そして、相転移素子 20 の第 2 領域 29 全面が、ビット線に接している。従って、上記第 1、第 2 の実施形態と比べて、相転移素子 20 とビット線 BL との間の接触抵抗を大幅に低減できる。よって、OUM の動作信頼性を向上できる。

【0063】

図 10 は、本実施形態の変形例に係る OUM の断面図である。本変形例は、第 2 の実施形態と第 3 の実施形態とを組み合わせたものである。すなわち、図 10 に示すように、上

記第3の実施形態で説明した構造において、スイッチングトランジスタ21のエミッタ領域27上に、電極40が形成されている。そして、相転移素子20の第1領域28は、電極40上に形成されている。

【0064】

本構成によれば、上記(1)、(2)及び(4)、(5)の効果に加えて、第2の実施形態で説明した(3)の効果が得られる。

【0065】

次にこの発明の第4の実施形態に係る相転移メモリについて説明する。本実施形態は、上記第3の実施形態において、ビット線を単一の金属配線層によって形成するものである。図11は、本実施形態に係るOUMのメモリセルアレイの断面図であり、図2におけるY1-Y1'線に沿った方向に対応する断面構造を示している。

【0066】

図示するように、本実施形態に係るOUMは、上記第3の実施形態において、第1配線41を廃した構造を有している。

【0067】

本実施形態に係るOUMであると、上記(1)、(2)、(4)、(5)の効果に加えて、下記(6)の効果が得られる。

【0068】

(6)更に製造プロセスを簡略化出来る。

本実施形態に係るOUMであると、ビット線は単一の金属配線層33によって形成される。従って、上記第3の実施形態に比べて更に製造プロセスを簡略化出来る。この点につき、以下詳細に説明する。

【0069】

相転移素子20は、例えばカルコゲナイド化合物によって形成される。より具体的には、2元化合物ではGaSb、3元化合物ではGeSbTe、4元化合物ではAgInSbTeなどが使用出来る。また、ビット線を形成する材料には、AlやCu等の低抵抗金属が使用される。これらの低抵抗金属材料と、カルコゲナイド系化合物とでは、低抵抗の接合が難しい場合がある。従って、上記第3の実施形態で説明したように、ビット線BLを多層構造とする必要がある。すなわち、接触の点でカルコゲナイド系化合物と相性の良い材料によって第1配線41を形成し、第1配線41上に、低抵抗の金属材料によって第2配線33を形成する。

【0070】

しかし、カルコゲナイド系化合物と低抵抗の接触が可能であり、且つ低抵抗の材料を用いた場合には、上記第3の実施形態で説明した第1配線41は不要となる。すなわち、本実施形態で説明したように、第2配線33を直接相転移素子20上に形成することが可能となる。このような接合が可能なビット線材料及びカルコゲナイド系化合物としては、例えばTiWとGe<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>の組み合わせがある。

【0071】

なお、本実施形態では「ビット線は単一の金属層で形成される」なる表現を用いたが、これは勿論、カルコゲナイド系化合物と低抵抗の接合を可能とする層(バッファ層)が不要となるという意味である。従って、ビット線が例えばバリアメタル膜や金属拡散防止膜等を備えた積層構造であっても構わない。

【0072】

図12は、本実施形態の変形例に係るOUMの断面図である。本変形例は、第2の実施形態と第4の実施形態とを組み合わせたものである。すなわち、図12に示すように、上記第3の実施形態で説明した構造において、スイッチングトランジスタ21のエミッタ領域27上に、電極40が形成されている。そして、相転移素子20の第1領域28は、電極40上に形成されている。

【0073】

本構成によれば、上記(1)、(2)及び(4)乃至(6)の効果に加えて、第2の実

施形態で説明した(3)の効果が得られる。

【0074】

次にこの発明の第5の実施形態に係る相転移メモリについて説明する。本実施形態は、上記第1の実施形態において、相転移素子20の第1領域28と第2領域29との間に、第1領域28よりも幅広の第3領域を更に設けたものである。図13は、本実施形態に係るOUMのメモリセルアレイの断面図であり、第1の実施形態で説明した図2におけるY1-Y1'線方向に沿った断面図である。また図14は、図13における一部領域の拡大図である。

【0075】

図示するように、本実施形態に係る構成は、上記第1の実施形態で説明した構成において、相転移素子20は更に第3領域42を有している。すなわち、図14に示すように、第1領域28上に、第1領域の幅(断面積) $d_2$ 、 $d_3$ よりも大きい幅(断面積) $d_4$ 、 $d_5$ を有する第3領域42が形成されている。そして、第3領域42上に第2領域29が形成されている( $d_1 > d_4$ 、 $d_5 > d_2$ 、 $d_3$ )。換言すれば、相転移素子20において、スイッチングトランジスタ21のエミッタ領域27に接続される柱状領域の断面積は、スイッチングトランジスタ21に近づくにつれて、段階的に狭められている。そして、最も断面積の小さい底面において、エミッタ領域27と接している。その他の構成は、上記第1の実施形態と同様である。

【0076】

また、動作も上記第1の実施形態で説明したとおりであるので、説明は省略する。

【0077】

本実施形態に係る構成であると、第1の実施形態で説明した効果(1)、(2)に併せて、下記(7)の効果が得られる。

【0078】

(7) OUMの書き込み動作信頼性を更に向上できる。

上記第1の実施形態に係る構成であると、第1領域28が直接第2領域29に接続されている。従って、第1領域においてエミッタ領域27と接する領域においてのみ相転移が起きるのではなく、第1領域全てで相転移が起き、更には第2領域においても相転移が起きる虞がある。

【0079】

しかし本実施形態に係る構成であると、第1領域28は、第1領域よりも幅広の第3領域42を介して第2領域29に接続されている。換言すれば、第1領域28は、第2領域よりも低抵抗の領域を介して第1領域29に接続されている。そして、第3領域42は第1領域よりも幅広に形成されている、すなわち低抵抗であるので、ジュール熱が発生し難い。従って、第3領域42では相転移が発生し難い。その結果、相転移が発生する領域は第1領域29内に限定される。よって、書き込み動作信頼性が向上される。

【0080】

図15は、本実施形態の第1変形例に係るOUMの断面図である。本変形例は、第2の実施形態と第5の実施形態とを組み合わせたものである。図示するように、上記第5の実施形態で説明した構造において、スイッチングトランジスタ21のエミッタ領域27上に、電極40が形成されている。そして、相転移素子20の第1領域28は、電極40上に形成されている。

【0081】

本構成によれば、上記(1)、(2)、(7)の効果に加えて、第2の実施形態で説明した(3)の効果が得られる。

【0082】

図16は、本実施形態の第2変形例に係るOUMの断面図である。本変形例は、第3の実施形態と第5の実施形態とを組み合わせたものである。図示するように、上記第5の実施形態で説明した構造において、コンタクトプラグCP1が廃されている。そして、ビット線BLは、金属配線層41、33の多層構造を有している。金属配線層33は低抵抗金

属で形成され、金属配線層 44 は、カルコゲナイド系化合物と接着性の良い材料で形成されている。

【0083】

本構成によれば、上記 (1)、(2)、(7) の効果に加えて、第 3 の実施形態で説明した (4)、(5) の効果が得られる。

【0084】

図 17 は、本実施形態の第 3 変形例に係る OUM の断面図である。本変形例は、第 2、第 3 の実施形態と第 5 の実施形態とを組み合わせたものである。図示するように、上記第 5 の実施形態の第 2 変形例で説明した図 16 に示す構造において、スイッチングトランジスタ 21 のエミッタ領域 27 上に、電極 40 が形成されている。そして、相転移素子 20 の第 1 領域 28 は、電極 40 上に形成されている。

【0085】

本構成によれば、上記 (1)、(2)、(7) の効果に加えて、第 2、第 3 の実施形態で説明した (3) 乃至 (5) の効果が得られる。

【0086】

図 18 は、本実施形態の第 4 変形例に係る OUM の断面図である。本変形例は、第 4 の実施形態と第 5 の実施形態とを組み合わせたものである。図示するように、上記第 5 の実施形態で説明した構造において、コンタクトプラグ CP1 が廃されている。そして、ビット線 BL は、カルコゲナイド系化合物と接着性が良く、且つ低抵抗の金属配線層 33 により形成されている。

【0087】

本構成によれば、上記 (1)、(2)、(7) の効果に加えて、第 3、第 4 の実施形態で説明した (4) 乃至 (6) の効果が得られる。

【0088】

図 19 は本実施形態の第 5 変形例に係る OUM の断面図である。本変形例は、第 2、第 4 の実施形態と第 5 の実施形態とを組み合わせたものである。図示するように、上記第 5 の実施形態の第 4 変形例で説明した図 18 に示す構造において、スイッチングトランジスタ 21 のエミッタ領域 27 上に、電極 40 が形成されている。そして、相転移素子 20 の第 1 領域 28 は、電極 40 上に形成されている。

【0089】

本構成によれば、上記 (1)、(2)、(7) の効果に加えて、第 2 乃至第 4 の実施形態で説明した (3) 乃至 (6) の効果が得られる。

【0090】

次にこの発明の第 6 の実施形態に係る相転移メモリについて説明する。本実施形態は、上記第 1 の実施形態において、メモリセル MC がスイッチングトランジスタ、相転移素子、及び抵抗素子を有する場合に係るものである。図 20 は、本実施形態に係る OUM のブロック図である。

【0091】

図示するように、第 1 の実施形態で説明した図 1 に示す構成において、メモリセル MC は、相転移素子 20、スイッチングトランジスタ 21、及びスイッチングトランジスタ 21 を有している。抵抗素子 50 の一端は、相転移素子 20 の一端に接続され、他端はスイッチングトランジスタ 21 のエミッタに接続されている。そして、相転移素子 20 の他端がビット線 BL に接続されている。

【0092】

本実施形態に係る OUM のメモリセルアレイの平面図は、第 1 の実施形態で説明した図 2 に示す構造において、相転移素子 20 の第 1 領域 28 を抵抗素子 50 に置き換えたものと同様であるので、説明は省略する。

【0093】

図 21 は、メモリセルアレイの断面構造を示しており、図 2 における Y1-Y1' 線方向に沿った断面図に相当する。

## 【0094】

図示するように、スイッチングトランジスタ21のエミッタ領域27上に、柱状の抵抗素子50が形成されている。そして、層間絶縁膜30上に、相転移素子20が形成されている。相転移素子20は、アモルファス結晶相転移を起こす材料によって形成されている。そして相転移素子20は、2つのメモリセルMCの抵抗素子50に接続されるようにして形成されている。但し、相転移素子20によって共通接続される2つの抵抗素子50は、それぞれ異なるワード線に接続されるスイッチングトランジスタ21に接している。その他の構成は、第1の実施形態で説明したとおりである。

## 【0095】

図22は、図21の一部領域の拡大図である。図示するように、相転移素子20上面は電極31に接しており、その接触面積を $d_1$ とする。また、相転移素子20と抵抗素子50との接触面積を、それぞれ $d_2$ 、 $d_3$ とする。すると、これらの間には $d_1 > d_2$ 、 $d_3$ なる関係がある。すなわち、抵抗素子50は、その断面積が、相転移素子20と電極31との接触面積よりも小さくなるように形成される。

## 【0096】

従って、相転移素子20と抵抗素子50との接触抵抗は、相転移素子20と電極31との接触抵抗よりも高くなる。すなわち、相転移素子20に電流を流した際に発生するジュール熱は、電極31との接触領域よりもむしろ抵抗素子50との接触領域で発生する。よって、書き込み時において相転移が起きる領域、すなわち書き込み可能領域(Programmable volume)は、相転移素子20内における抵抗素子50との接触領域となる。

## 【0097】

上記構成のOUMの動作は、第1の実施形態で説明したとおりである。但し、ジュール熱によって相転移が生じるのは、前述の通り、相転移素子20において、抵抗素子50と接触する領域である。

## 【0098】

上記実施形態に係るOUMであると、第1の実施形態で説明した(1)、(2)の効果が得られる。なお、効果(2)については、以下に詳述する。

## 【0099】

本実施形態に係る構造であると、相転移素子20は、その上部において電極31と接し、下部において抵抗素子50と接している。そして、相転移素子20と抵抗素子50との接触面積は、相転移素子20と電極31との接触面積よりも小さい。従って、書き込み時に電圧パルスを印加した際、相転移素子20において発生するジュール熱は、抵抗素子50との接触部分でその殆どを発生する。これは、電極31との接触部分よりも、抵抗素子50との接触部分の方が、接触抵抗が大きいためである。

## 【0100】

このように、相転移素子20内において局所的にジュール熱を発生させることが出来るため、上記第1の実施形態と同様に、OUMの消費電力を低減できる。

## 【0101】

なお、本実施形態に係るOUMは、2つのメモリセルで1つの相転移素子20を共有している。しかし、図23のメモリセルの断面図に示すように、書き込み時に相転移を起こす領域は、メモリセル毎に設けられた抵抗素子50と接する領域だけである。すなわち、相転移が起きる領域は、メモリセル毎に離隔している。従って、相転移素子20を共有する2つのメモリセルのうち、いずれか一方に対して書き込みが為されたとしても、他方に対しては何ら影響しない。

## 【0102】

図24は、本実施形態の第1変形例に係るOUMの断面図である。本実施形態は、第3の実施形態と第6の実施形態とを組み合わせたものである。図示するように、上記第6の実施形態で説明した構造において、コンタクトプラグが廃されている。そして、ビット線BLは、金属配線層41、33の多層構造を有している。金属配線層33は低抵抗金属で形成され、金属配線層44はカルコゲナイド系化合物と接着性の良い材料で形成されてい



る。

【0103】

本構成によれば、上記(1)、(2)の効果に加えて、第3の実施形態で説明した(4)、(5)の効果が得られる。

【0104】

図25は、本実施形態の第2変形例に係るOUMの断面図である。本実施形態は、第4の実施形態と第6の実施形態とを組み合わせたものである。図示するように、上記第6の実施形態で説明した構造において、コンタクトプラグCP1が廃されている。そして、ビット線BLは、カルコゲナイド系化合物と接着性が良く、且つ低抵抗の金属配線層33により形成されている。

【0105】

本構成によれば、上記(1)、(2)の効果に加えて、第3、第4の実施形態で説明した(4)乃至(6)の効果が得られる。

【0106】

図26は、本実施形態の第3変形例に係るOUMの断面図である。本実施形態は、第1の実施形態と第6の実施形態とを組み合わせたものである。図示するように、第1の実施形態で説明した図3、図4に示す構造において、相転移素子20とスイッチングトランジスタ21のエミッタ領域27との間に、柱状の抵抗素子50が形成されている。抵抗素子50はエミッタ領域27上に形成され、その上面は、相転移素子20の第1領域28の底面と接している。

【0107】

図27は、図26の一部領域の拡大図である。図示するように、相転移素子20の第2領域29上面は電極31に接しており、その接触面積をd1とする。また、相転移素子20の第1領域28底面は抵抗素子50に接しており、その接触面積をd2、d3とする。すると、これらの間には $d1 > d2$ 、 $d3$ なる関係がある。すなわち、相転移素子20は、抵抗素子50との接触面積が、ビット線に接続される電極31との接触面積よりも小さくなるように形成される。

【0108】

従って、相転移素子20と抵抗素子50との接触抵抗は、相転移素子20と電極31との接触抵抗よりも高くなる。すなわち、相転移素子20に電流を流した際に発生するジュール熱は、電極31との接触領域よりもむしろ抵抗素子50との接触領域で発生する。よって、書き込み時において相転移が起きる領域、すなわち書き込み可能領域(Programmable volume)は、相転移素子20内における抵抗素子50との接触領域となる。

【0109】

従って、上記第1、第7の実施形態で説明した(1)、(2)の効果が得られる。

【0110】

図28は、本実施形態の第4変形例に係るOUMの断面図である。本実施形態は、第3の実施形態と第6の実施形態とを組み合わせたものである。図示するように、本実施形態の第3変形例で説明した図27の構造において、コンタクトプラグが廃されている。そして、ビット線BLは、金属配線層41、33の多層構造を有している。金属配線層33は低抵抗金属で形成され、金属配線層44はカルコゲナイド系化合物と接着性の良い材料で形成されている。

【0111】

本構成によれば、上記(1)、(2)の効果に加えて、第3の実施形態で説明した(4)、(5)の効果が得られる。

【0112】

図29は、本実施形態の第5変形例に係るOUMの断面図である。本実施形態は、第4の実施形態と第6の実施形態とを組み合わせたものである。図示するように、本実施形態の第4変形例で説明した図28の構造において、ビット線BLが単一の金属配線層33によって形成されている。金属配線層33は、カルコゲナイド系化合物と接着性が良く、且

つ低抵抗の金属配線層 33 により形成されている。

【0113】

本構成によれば、上記 (1)、(2) の効果に加えて、第 3、第 4 の実施形態で説明した (4) 乃至 (6) の効果が得られる。

【0114】

次に、この発明の第 7 の実施形態に係る相転移メモリについて説明する。本実施形態は、上記第 1 乃至第 6 の実施形態において、スイッチングトランジスタとして機能するバイポーラトランジスタを MOS トランジスタに置き換えたものである。図 30 は、本実施形態に係る OUM のブロック図である。

【0115】

図示するように、メモリセル MC は、相転移素子 20 及び MOS トランジスタ 51 を含んでいる。MOS トランジスタのソースは接地電位に接続され、ドレインは相転移素子 20 の一端に接続されている。また、同一行の MOS トランジスタ 51 のゲートは、同一のワード線 WL0 ~ WLn のいずれかに接続されている。そして、同一列の相転移素子 20 の他端が、同一のビット線 BL0 ~ BLn のいずれかに接続されている。

【0116】

次に、メモリセルアレイ 11 の平面パターンについて、図 31 を用いて説明する。図 31 はメモリセルアレイ 11 の平面図である。

【0117】

図示するように、p 型半導体基板 25 中には、第 2 方向に沿ったストライプ形状の素子領域 AA がマトリクス状に形成されている。そして半導体基板 25 上に、第 1 方向に沿ったストライプ形状のワード線 WL0 ~ WLn が形成されている。1 つの素子領域 AA あたり、2 本のワード線が通過する。また素子領域 AA 中には、図示せぬ不純物拡散層が形成されている。MOS トランジスタ 51 は、ワード線及び不純物拡散層とを含んで形成される。素子領域 AA 上には、素子領域 AA 毎に設けられた相転移素子 20 が形成されている。相転移素子 20 は、第 1 領域 28 と第 2 領域 29 とを含んでいる。第 1 領域 28 は、MOS トランジスタ 51 のソース上に形成された柱状形状を有している。第 2 領域 29 は、同一素子領域 AA 内に形成された 2 つの MOS トランジスタ 51 を跨ぐようにして、第 2 方向に沿ったストライプ形状に形成されている。そして第 2 領域 29 は、同一素子領域 AA 内の 2 つの MOS トランジスタに接続される第 1 領域 28 に接続されている。

【0118】

相転移素子 20 上には、第 2 方向に沿ったストライプ形状のビット線 BL0 ~ BLn が形成されている。ビット線 BL0 ~ BLn はそれぞれ、同一列にある相転移素子 20 の第 2 領域 29 と、コンタクトプラグ CP1 によって接続されている。

【0119】

次に、メモリセルアレイ 11 の断面構造について、図 32 を用いて説明する。図 32 は図 31 における Y2-Y2' 線に沿った断面図である。

【0120】

図示するように、p 型半導体基板 25 中には素子分離領域 STI が形成されている。そして、素子分離領域 STI によって周囲を取り囲まれた素子領域 AA 上に MOS トランジスタ 51 が形成されている。すなわち、素子領域 AA の表面内には互いに離隔された n 型不純物拡散層 52 が形成されている。n 型不純物拡散層 52 は、MOS トランジスタ 51 のソース・ドレイン領域として機能する。またソース・ドレイン領域間の半導体基板 25 上には、MOS トランジスタ 52 のゲート電極 53 が形成されている。ゲート電極 53 は、ワード線 WL0 ~ WLn のいずれかとして機能する。

【0121】

そして、半導体基板 25 上に、MOS トランジスタ 51 を被覆するようにして、層間絶縁膜 30 が形成されている。層間絶縁膜 30 中には、その表面からドレイン領域 52 に達するコンタクトホール CH が形成されている。そして、層間絶縁膜 30 上に、コンタクトホール CH を埋め込むようにして相転移素子 20 が形成されている。前述の通り、相転移

素子20は第1領域28及び第2領域29を含んでいる。第1領域28は、コンタクトホールCH内を埋め込む柱状の形状を有しており、その底部はMOSトランジスタ51のドレイン領域52に接続されている。また第2領域29は、層間絶縁膜30上に形成され、2つのメモリセルMCの第1領域28に接続するように形成されている。但し、第2領域29によって共通接続される2つの第1領域28は、それぞれ異なるワード線に接続されるMOSトランジスタ51に接している。その他の構成は、第1の実施形態で説明した図3の構成と同様である。なお、MOSトランジスタ52のソース領域は、例えば接地電位に接続されている。ソース領域と接地電位との接続は、n型不純物拡散層52によって行われても良いし、または別途設けた金属配線層によって全て共通接続されても良い。

#### 【0122】

相転移素子20の第2領域29上面は電極31に接している。また相転移素子20の第1領域29底面はMOSトランジスタ51のドレイン領域に接している。そして、第1領域29底面とドレイン領域52との接触面積は、第2領域29と電極31との接触面積よりも小さい。

#### 【0123】

従って、相転移素子20とドレイン領域52との接触抵抗は、相転移素子20と電極31との接触抵抗よりも高くなる。すなわち、相転移素子20に電流を流した際に発生するジュール熱は、電極31との接触領域よりもむしろドレイン領域52との接触領域で発生する。よって、書き込み時において相転移が起きる領域、すなわち書き込み可能領域は、相転移素子20内におけるドレイン領域52との接触領域となる。

#### 【0124】

上記構成のOUMの動作は、第1の実施形態で説明したとおりである。

#### 【0125】

上記のように、本実施形態に係るOUMであると、スイッチングトランジスタにMOSトランジスタを用いた場合であっても、第1の実施形態で説明した(1)、(2)の効果が得られる。なお、図示は省略するが、第2乃至第5の実施形態に係る構成において、スイッチングトランジスタをMOSトランジスタで形成しても良いのは言うまでもない。この場合には、各実施形態で説明した(3)乃至(7)の効果が併せて得られる。

#### 【0126】

図33は、第7の実施形態で説明したOUMにおいて、スイッチングトランジスタをMOSトランジスタで形成した場合のメモリセルアレイの断面図である。図示するように、抵抗素子50はMOSトランジスタ51のドレイン領域52上に形成されている。このように、メモリセルMCが相転移素子、抵抗素子、及びスイッチングトランジスタを含む場合であっても、スイッチングトランジスタをMOSトランジスタで形成することが出来る。

#### 【0127】

次にこの発明の第8の実施形態に係る相転移メモリについて説明する。本実施形態は、上記第1乃至第7の実施形態において、相転移素子20を4つのメモリセルMCで共有するものである。図34は、本実施形態に係るOUMのメモリセルアレイの平面図である。

#### 【0128】

図34に示すように、本実施形態に係るOUMは、第1の実施形態で説明した図2の構成において、相転移素子20の第1領域28は、4つのスイッチングトランジスタ21を跨ぐようにして形成されている。そして、第2領域29は、上記4つのスイッチングトランジスタ21に接続される4つの第1領域28に接続されている。

#### 【0129】

図35は、図34におけるY3-Y3'に沿った断面図である。

#### 【0130】

図示するように、上記第1の実施形態で説明した図3の構造において、4つのメモリセルMCに接続される4つの第1領域28に共通接続されるように、第2領域29が形成されている。勿論、それぞれの第1領域28とエミッタ領域27との接触面積は、第2領域

29と電極31との接触面積よりも小さくされている。但し、前述の通り、同一の第2領域29に接続される4つの第1領域28は、それぞれ異なるワード線に接続されるスイッチングトランジスタ21に接続されている。

#### 【0131】

上記構成において、相転移が起きる領域は、相転移素子20においてエミッタ領域27と接する領域である。

#### 【0132】

図35は、相転移素子20の断面構造が第1の実施形態で説明した構造である場合について示しているが、勿論、第2乃至第7の実施形態で説明した構造であっても良い。

#### 【0133】

図36は、メモリセルMCが、相転移素子20、スイッチングトランジスタ21、及び抵抗素子50を有する場合について示している。但し、同一の相転移素子20に接続される4つの抵抗素子50は、それぞれ異なるワード線に接続されるスイッチングトランジスタ21に接続されている。本構成において、相転移が起きる領域は、相転移素子20において、抵抗素子50と接する領域である。

#### 【0134】

以上のように、4つのメモリセルMCによって、1つの相転移素子20を共有しても良い。更には、3つのメモリセルMC、または5つ以上のメモリセルMCによって、1つの相転移素子20が共有されていても構わない。但し、相転移素子20を共有するメモリセルMCは、互いに異なるワード線に接続される必要がある。

#### 【0135】

図37は、本実施形態を第7の実施形態で説明した構造に適用したものであり、メモリセルアレイの平面図である。また図38、図39は、図37におけるY4-Y4'線に沿った断面図である。図38は、メモリセルMCが相転移素子20及びMOSトランジスタ51を含む場合、図39は、メモリセルMCが相転移素子20、MOSトランジスタ51、及び抵抗素子50を含む場合について示している。このように、スイッチングトランジスタをMOSトランジスタで形成する場合であっても、本実施形態は適用出来る。

#### 【0136】

本実施形態であると、相転移素子20のパターニング工程を更に削減できるため、製造プロセスの簡略化に寄与する。なお、図35、36、図38、及び図39では、1つの相転移素子20に接続されるコンタクトプラグCP1は2つであるが、1つでも良いし、勿論3つ以上であっても良い。

#### 【0137】

上記のように、この発明の第1乃至第8の実施形態に係るOUMであると、同一ビット線に接続される複数のメモリセル間で相転移素子を共有している。そして、各メモリセルのスイッチングトランジスタとの接触面積を、ビット線側の電極との接触面積よりも小さくしている。従って、メモリセルアレイの面積を削減できると共に、OUMの消費電力を低減できる。

#### 【0138】

なお、上記実施形態では相転移素子の材料ととしてGeTeSbを例に挙げて説明した。しかし相転移素子の材料は、アモルファス-結晶相転移を起こすものであれば良く、例えばGaSb、InSb、InSe、Sb<sub>2</sub>Te<sub>3</sub>、GeTe等の二元化合物、Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>、InSbTe、GaSeTe、SnSb<sub>2</sub>Te<sub>4</sub>、InSbGe等の三元化合物、AgInSbTe、(GeSn)SbTe、GeSb(SeTe)、Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub>等の四元化合物等を用いることも出来る。

#### 【0139】

更に、上記実施形態ではスイッチングトランジスタに、コレクタが接地されたpnp型バイポーラトランジスタ及びソースが接地されたnチャネルMOSトランジスタを例に挙げて説明した。しかし、例えばコレクタが電源電位に接続されたnpn型バイポーラトランジスタや、ソースが電源電位に接続されたpチャネルMOSトランジスタを用いても良

い。

【0140】

また、上記実施形態では、相転移素子がビット線に接続されたメモリセルを例に挙げて説明した。しかし、相転移素子とスイッチングトランジスタとの接続が逆の場合であっても良い。すなわち、相転移素子の一端が接地電位または電源電位に接続され、他端がスイッチングトランジスタの電流経路の一端に接続され、スイッチングトランジスタの他端がビット線に接続される構成であっても良い。この場合には、相転移素子の他端がメモリセル間で共通接続され、相転移素子の他端とスイッチングトランジスタの電流経路の一端との接触面積が、相転移素子の一端と電極との接触面積よりも小さくされれば良い。

【0141】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【図面の簡単な説明】

【0142】

【図1】 この発明の第1の実施形態に係るOUMのブロック図。

【図2】 この発明の第1の実施形態に係るOUMの平面図。

【図3】 図2におけるY1-Y1'線に沿った断面図。

【図4】 図3における一部領域の拡大図。

【図5】 この発明の第1の実施形態に係るOUMの、書き込み時に印加する電圧パルスの波形図。

【図6】 この発明の第1の実施形態に係るOUMの断面図。

【図7】 この発明の第2の実施形態に係るOUMの断面図。

【図8】 図7における一部領域の拡大図。

【図9】 この発明の第3の実施形態に係るOUMの断面図。

【図10】 この発明の第3の実施形態の変形例に係るOUMの断面図。

【図11】 この発明の第4の実施形態に係るOUMの断面図。

【図12】 この発明の第4の実施形態の変形例に係るOUMの断面図。

【図13】 この発明の第5の実施形態に係るOUMの断面図。

【図14】 図13における一部領域の拡大図。

【図15】 この発明の第5の実施形態の第1変形例に係るOUMの断面図。

【図16】 この発明の第5の実施形態の第2変形例に係るOUMの断面図。

【図17】 この発明の第5の実施形態の第3変形例に係るOUMの断面図。

【図18】 この発明の第5の実施形態の第4変形例に係るOUMの断面図。

【図19】 この発明の第5の実施形態の第5変形例に係るOUMの断面図。

【図20】 この発明の第6の実施形態に係るOUMのブロック図。

【図21】 この発明の第6の実施形態に係るOUMの断面図。

【図22】 図21における一部領域の拡大図。

【図23】 この発明の第6の実施形態に係るOUMの断面図。

【図24】 この発明の第6の実施形態の第1変形例に係るOUMの断面図。

【図25】 この発明の第6の実施形態の第2変形例に係るOUMの断面図。

【図26】 この発明の第6の実施形態の第3変形例に係るOUMの断面図。

【図27】 図26における一部領域の拡大図。

【図28】 この発明の第6の実施形態の第4変形例に係るOUMの断面図。

【図29】 この発明の第6の実施形態の第5変形例に係るOUMの断面図。

【図30】 この発明の第7の実施形態に係るOUMのブロック図。

【図 3 1】この発明の第 7 の実施形態に係る OUM の平面図。

【図 3 2】図 3 1 における Y 2 - Y 2' 線に沿った断面図。

【図 3 3】図 3 1 における Y 2 - Y 2' 線に沿った断面図。

【図 3 4】この発明の第 8 の実施形態に係る OUM の平面図。

【図 3 5】図 3 4 における Y 3 - Y 3' 線に沿った断面図。

【図 3 6】図 3 4 における Y 3 - Y 3' 線に沿った断面図。

【図 3 7】この発明の第 8 の実施形態に係る OUM の平面図。

【図 3 8】図 3 7 における Y 4 - Y 4' 線に沿った断面図。

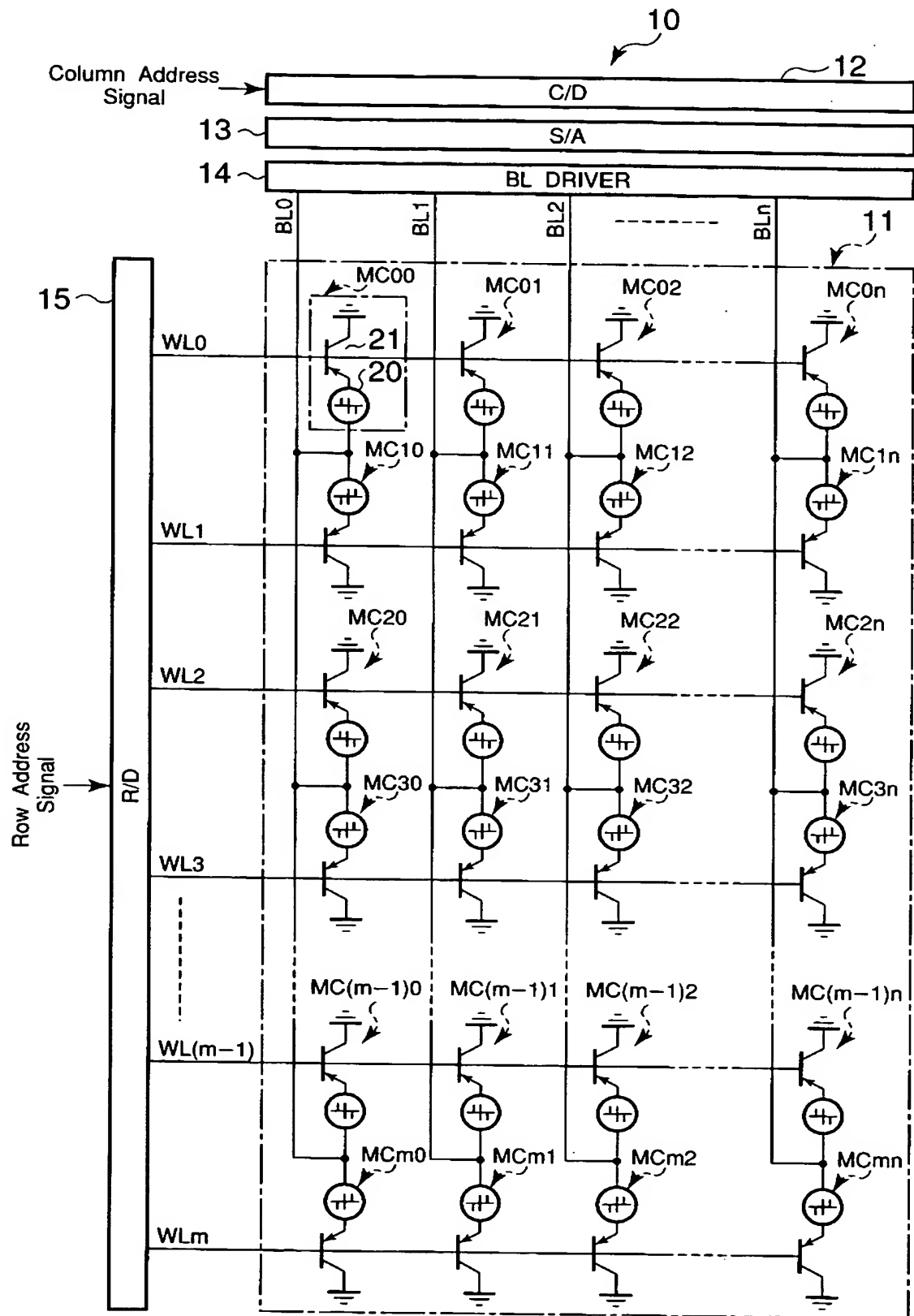
【図 3 9】図 3 7 における Y 4 - Y 4' 線に沿った断面図。

【符号の説明】

【0143】

10...OUM、11...メモリセルアレイ、12...カラムデコーダ、13...センスアンプ、14...ビット線ドライバ、15...ロウデコーダ、20...相転移素子、21...バイポーラトランジスタ、25...p 型半導体基板、26、52...n 型半導体層、27...p<sup>+</sup> 型半導体層、28...第 1 領域、29...第 2 領域、30、32...層間絶縁膜、31、40...電極、33、41...金属配線層、42...第 3 領域、50...抵抗素子、51...MOS トランジスタ、53...ゲート電極（ワード線）

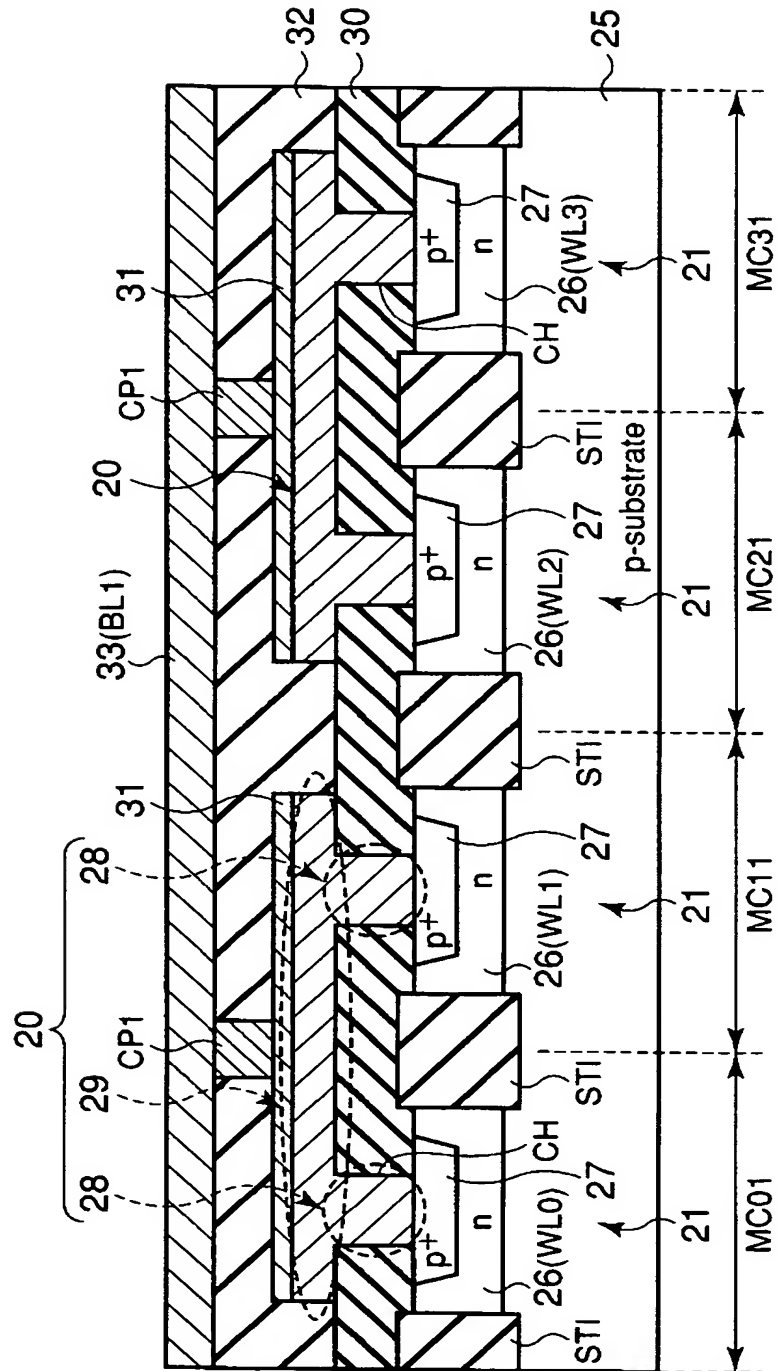
【書類名】 図面  
【図 1】



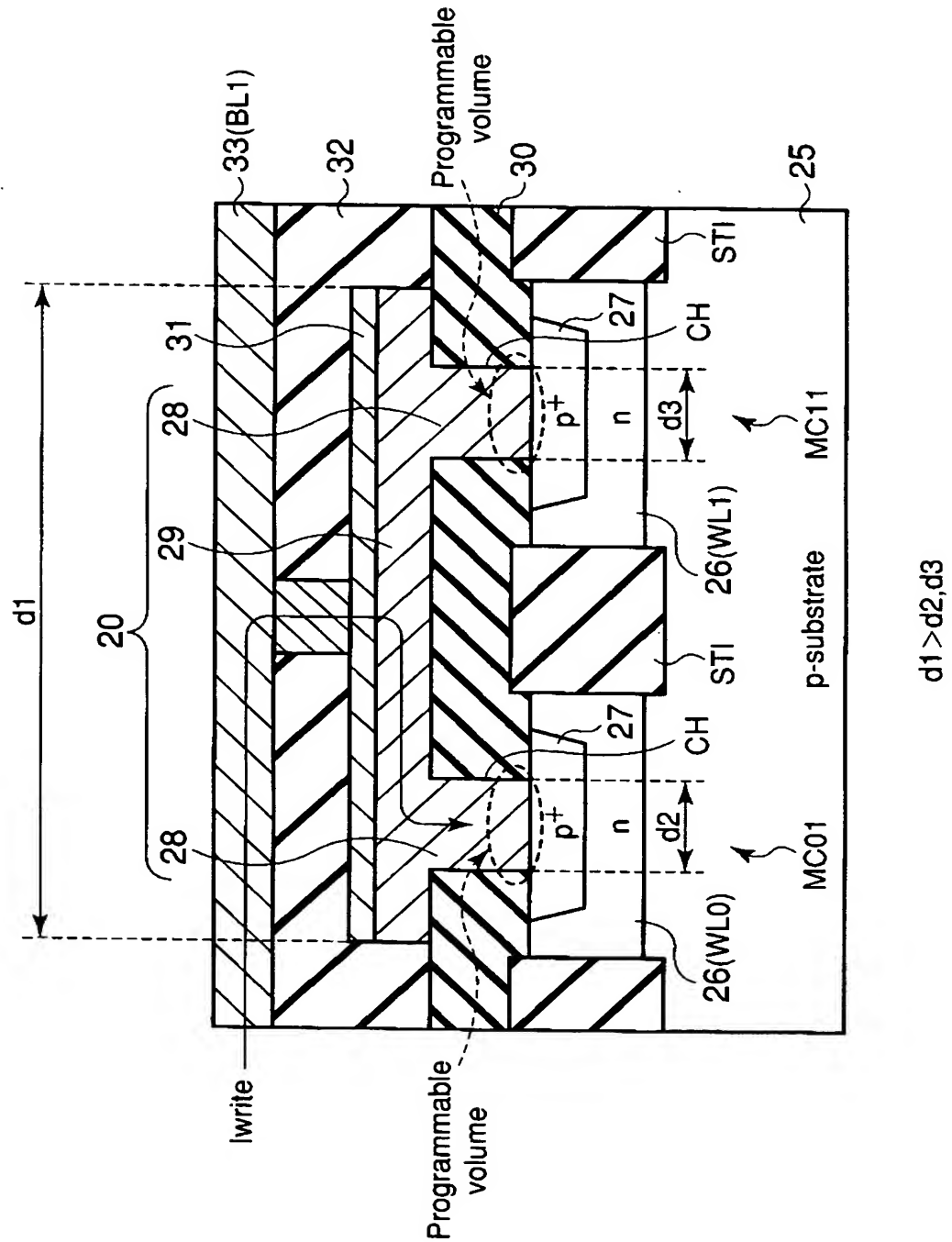




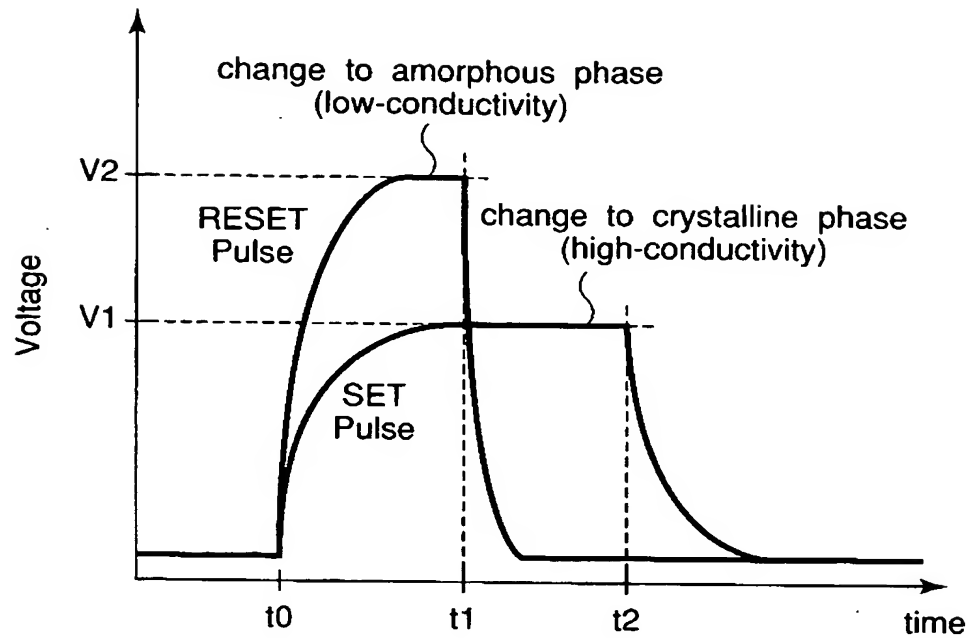
【図 3】



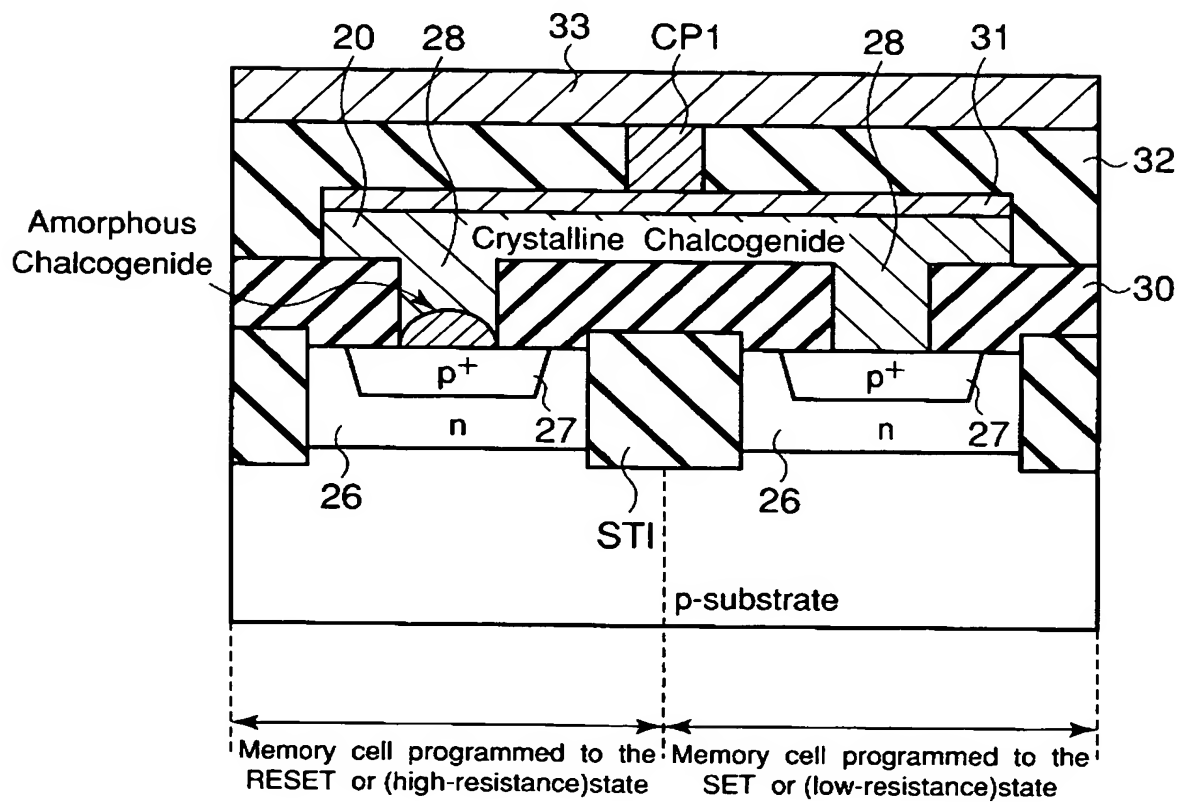
【図 4】



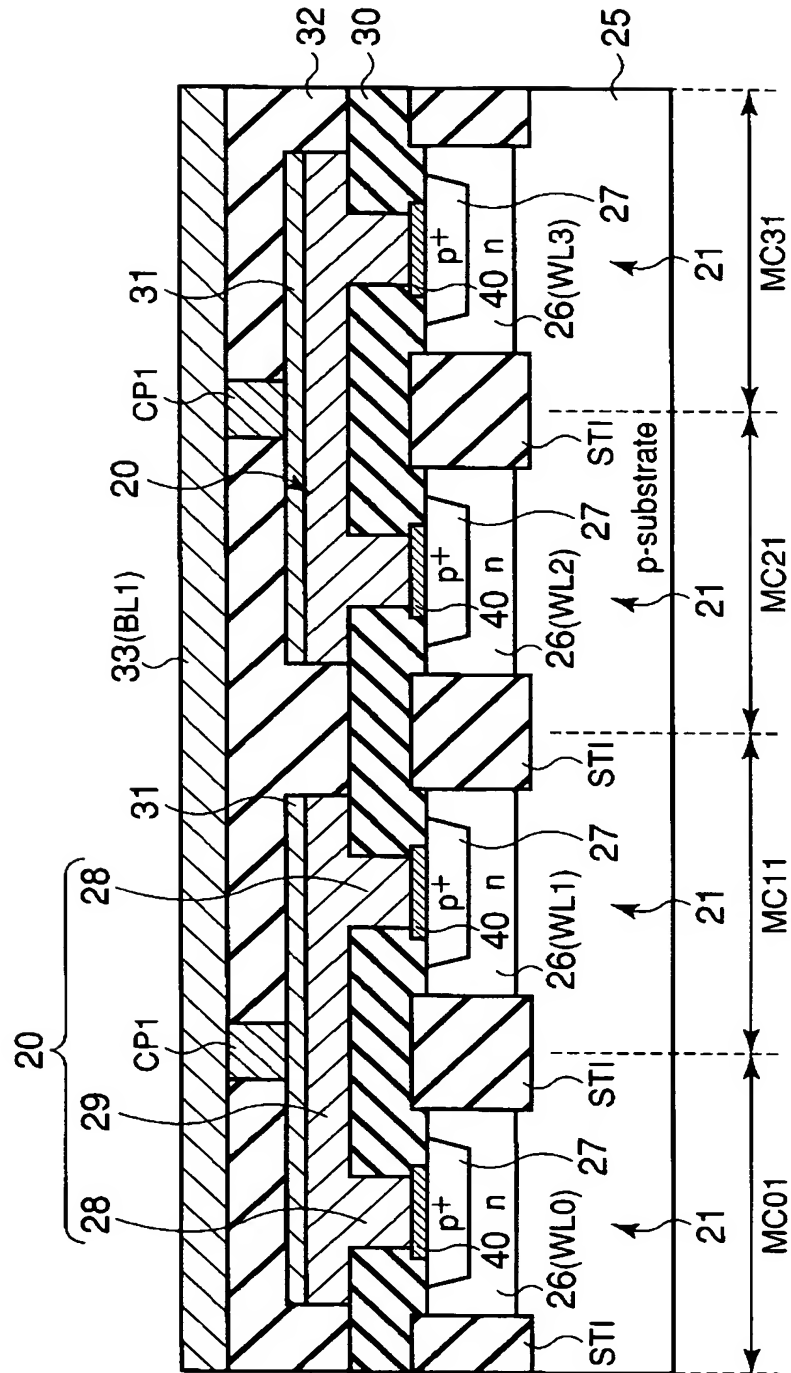
【図 5】



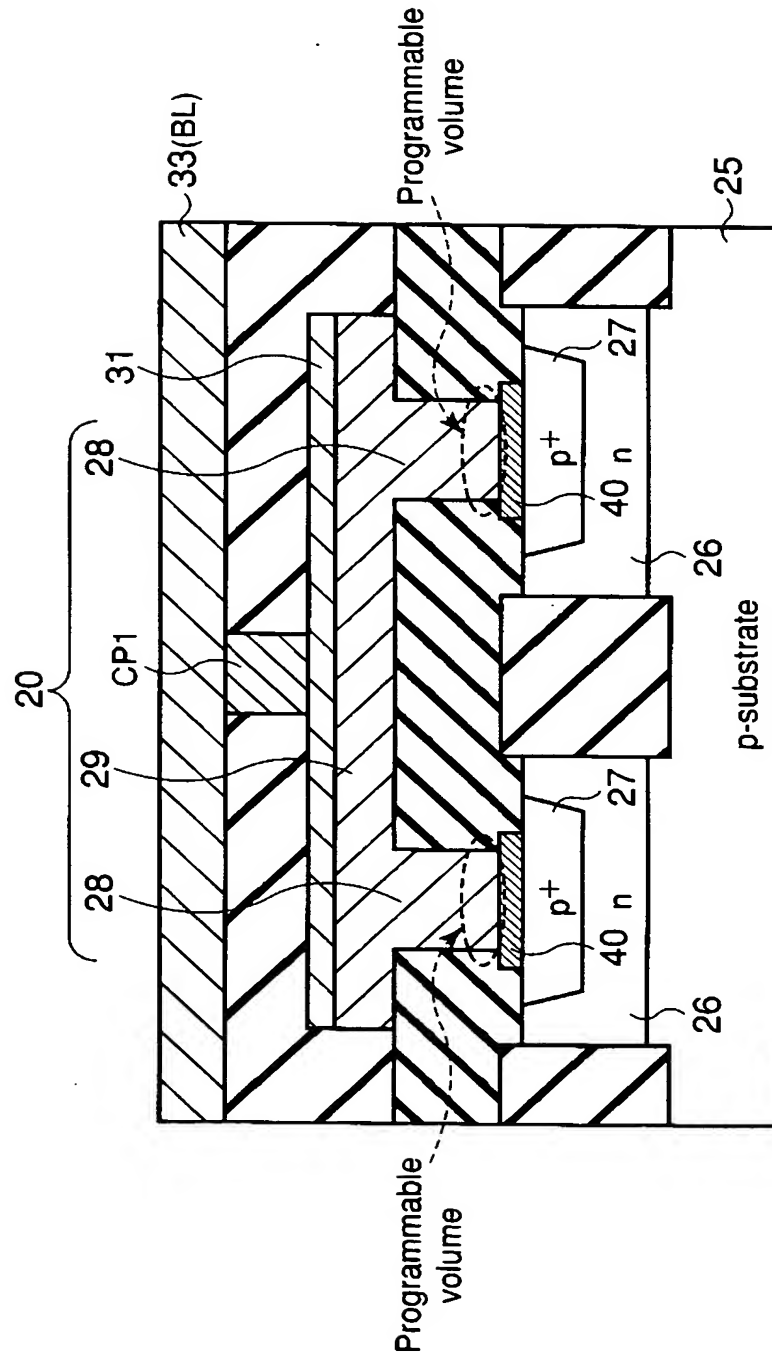
【図 6】



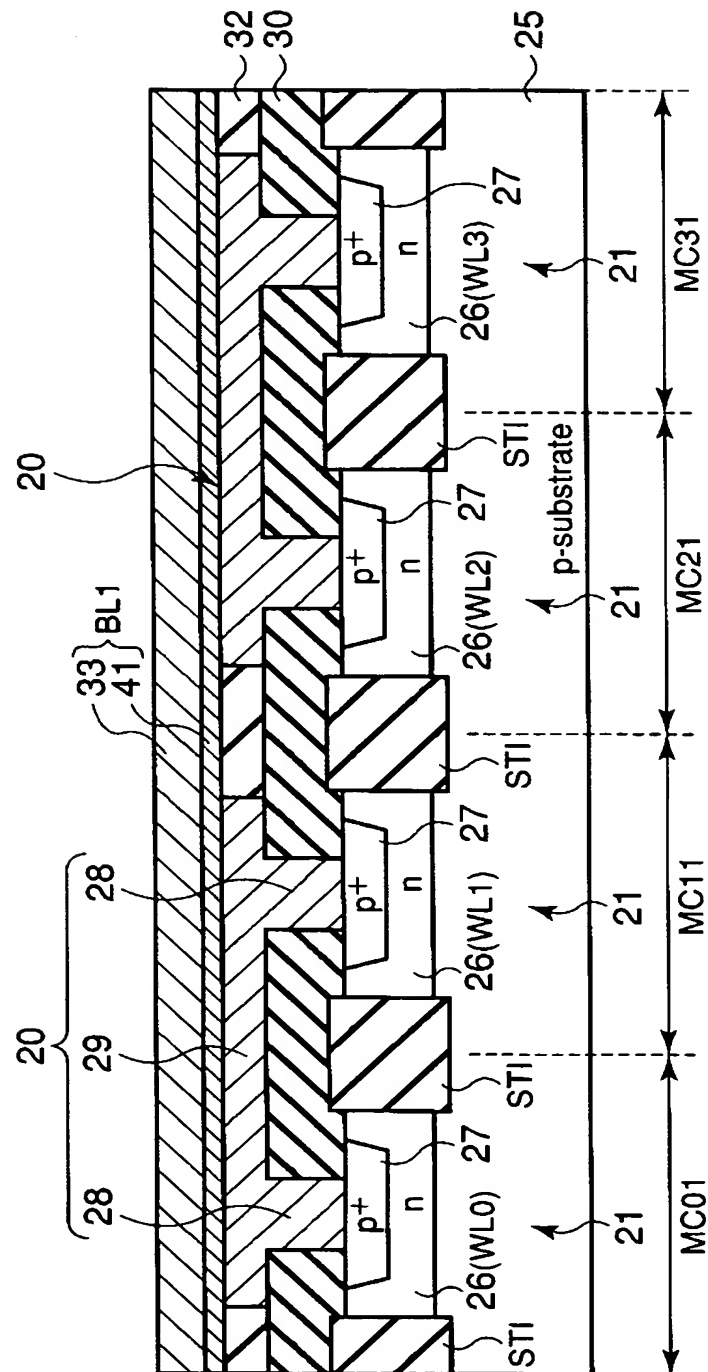
【図 7】



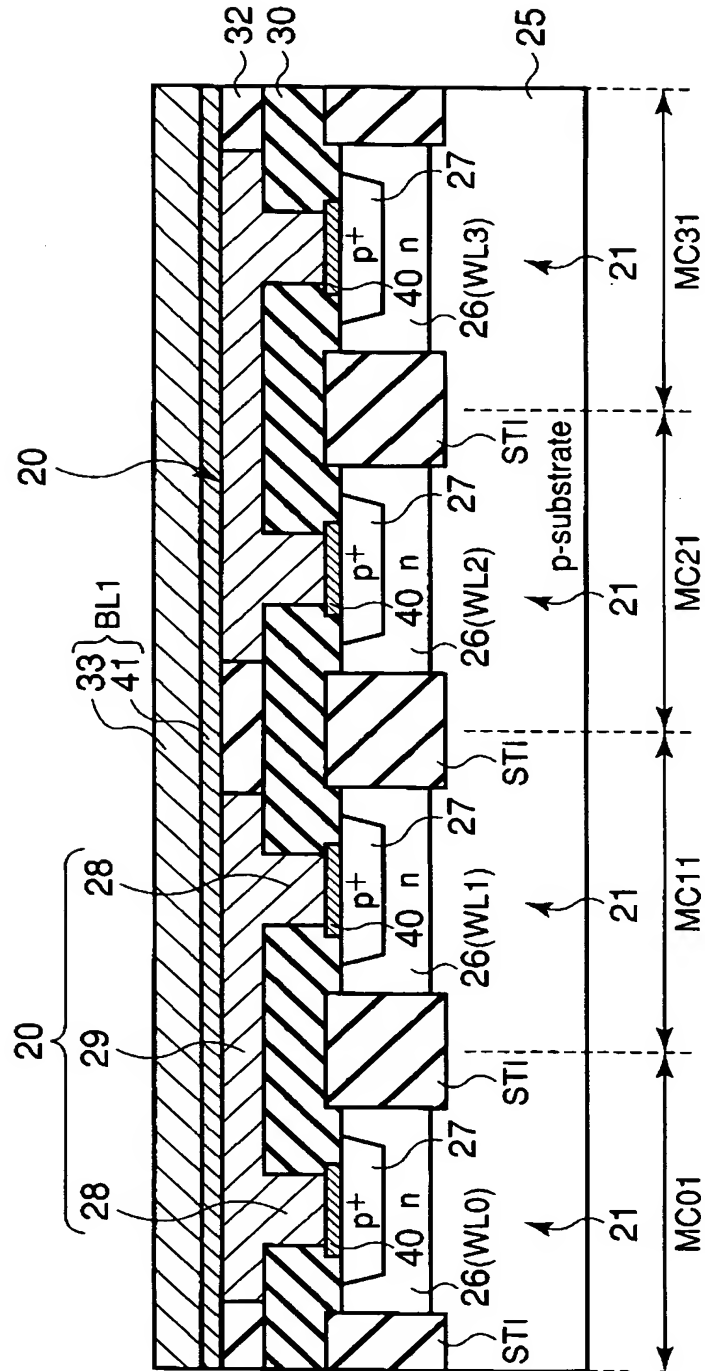
【図 8】



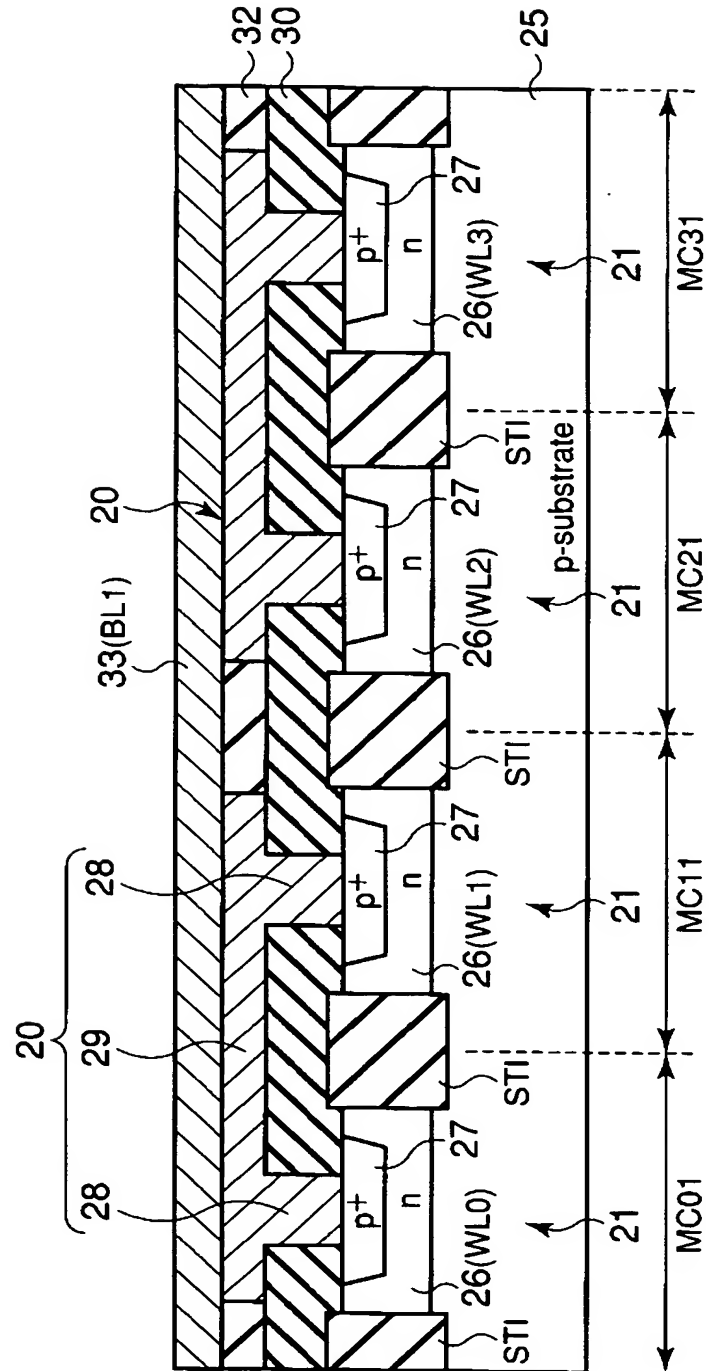
【図 9】



【図 10】

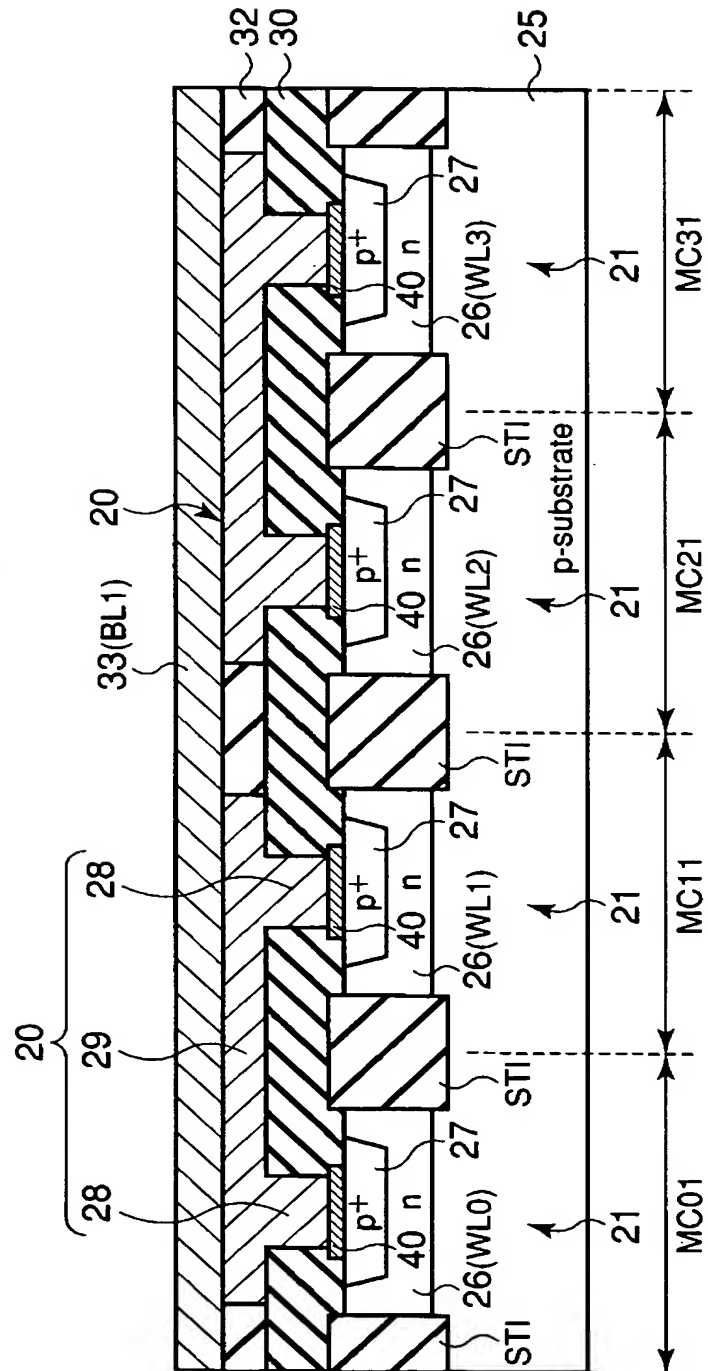


【図 11】

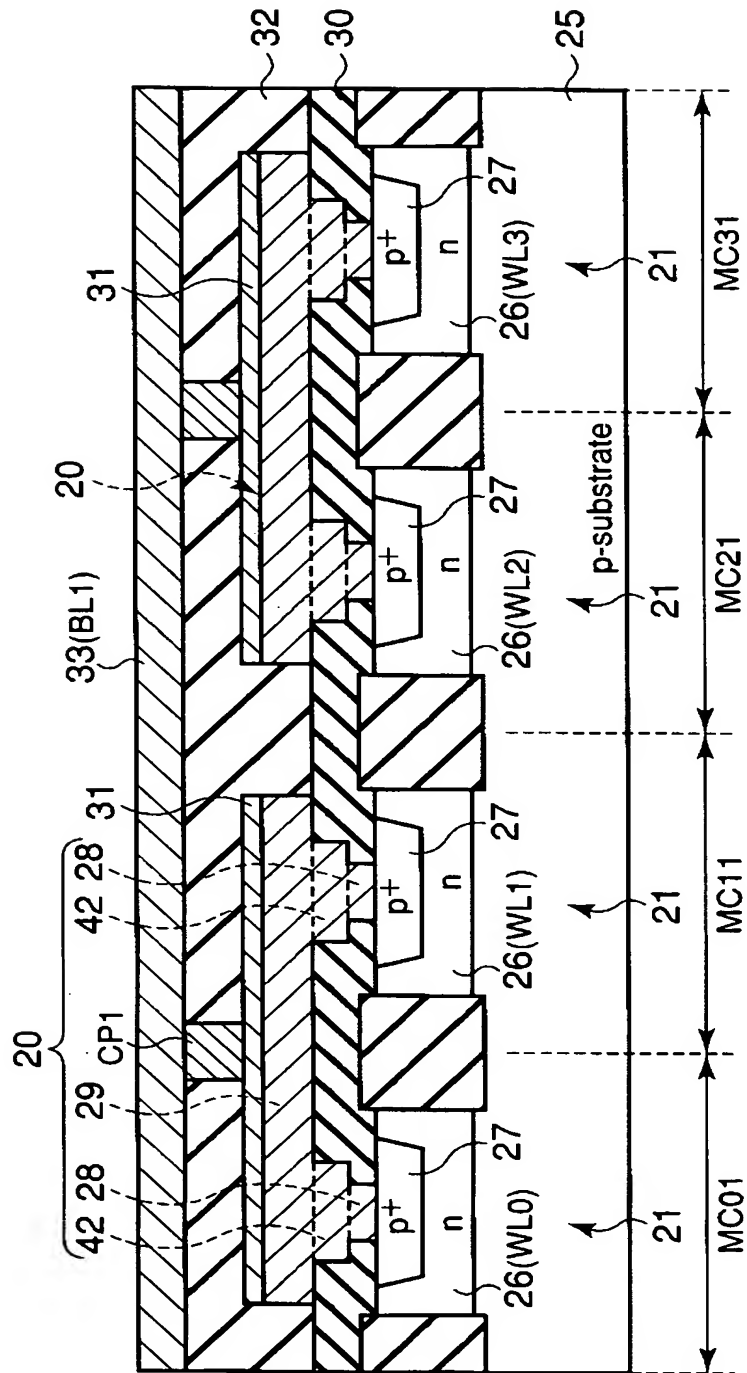




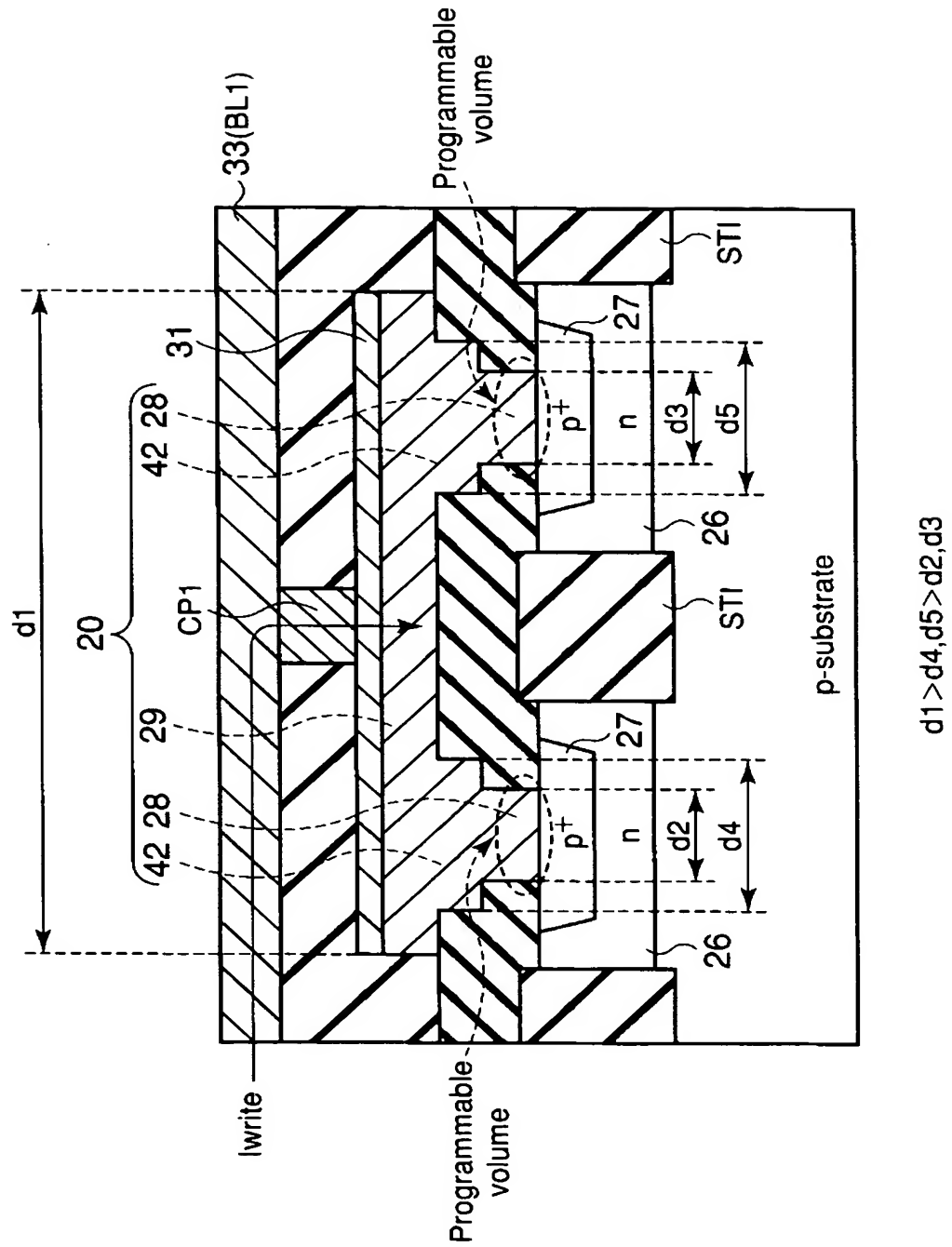
【図 12】



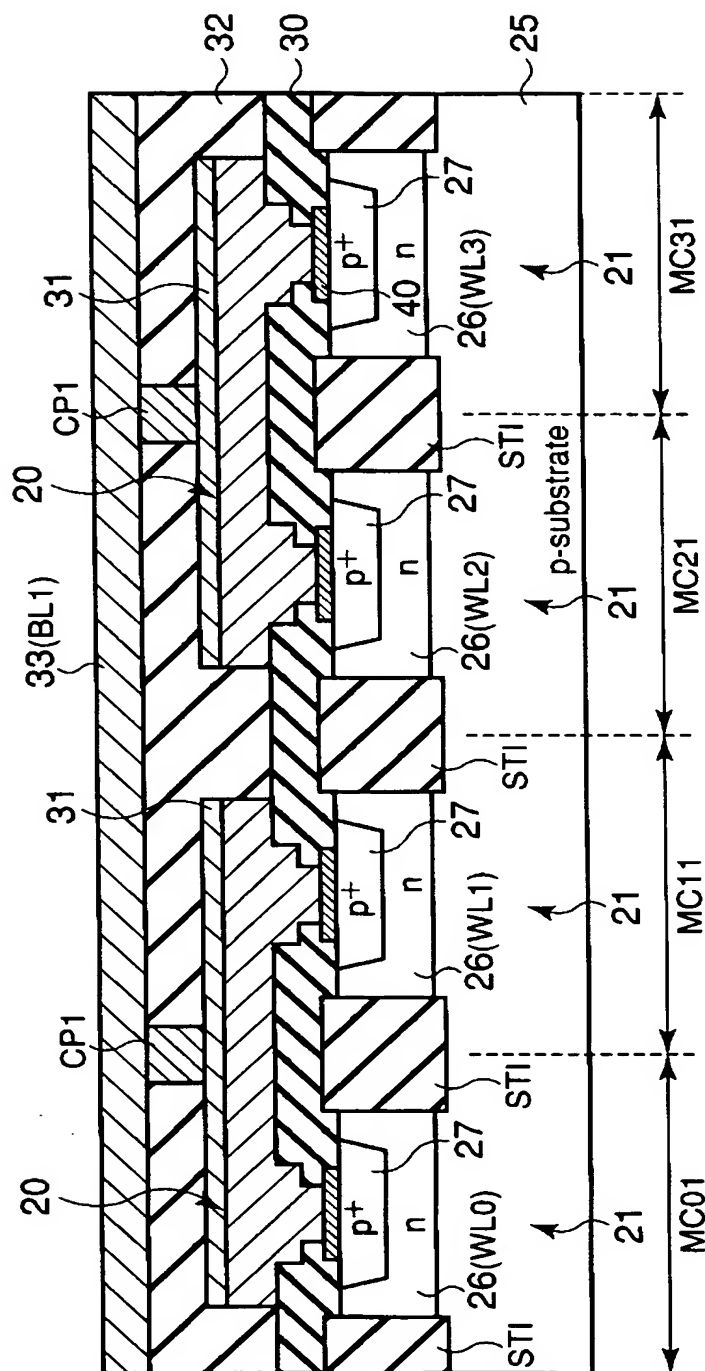
【図 13】



【図 14】

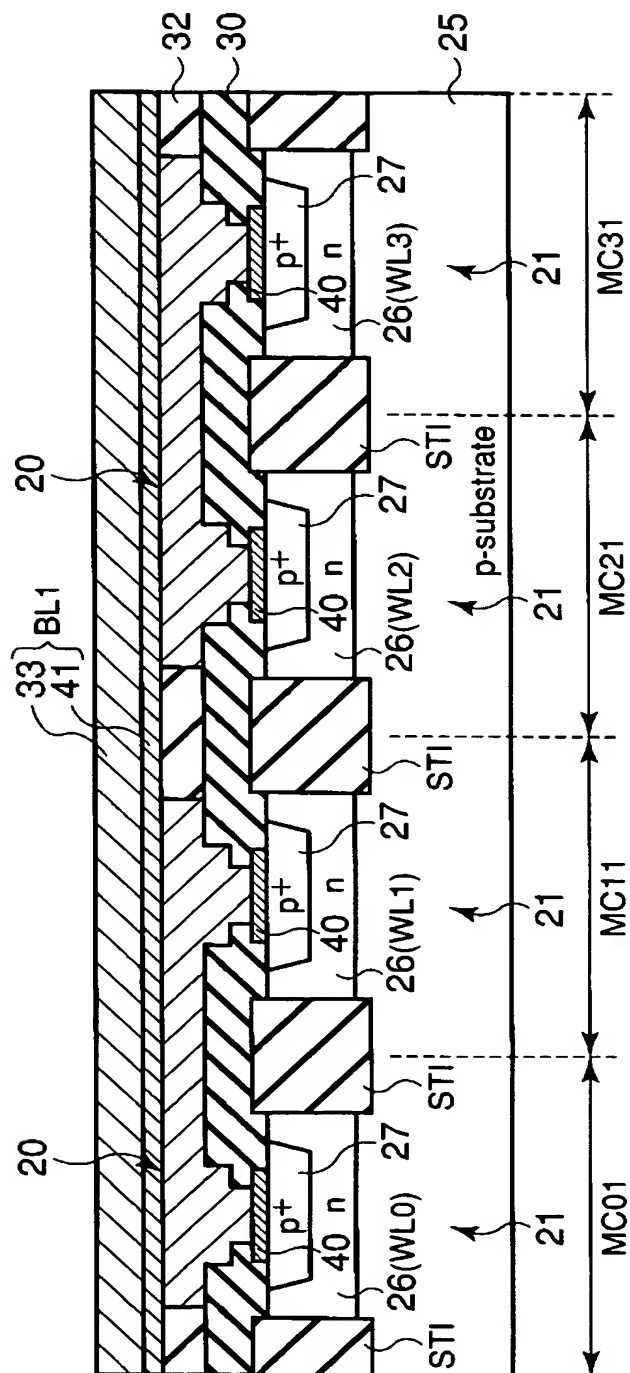


【図 15】



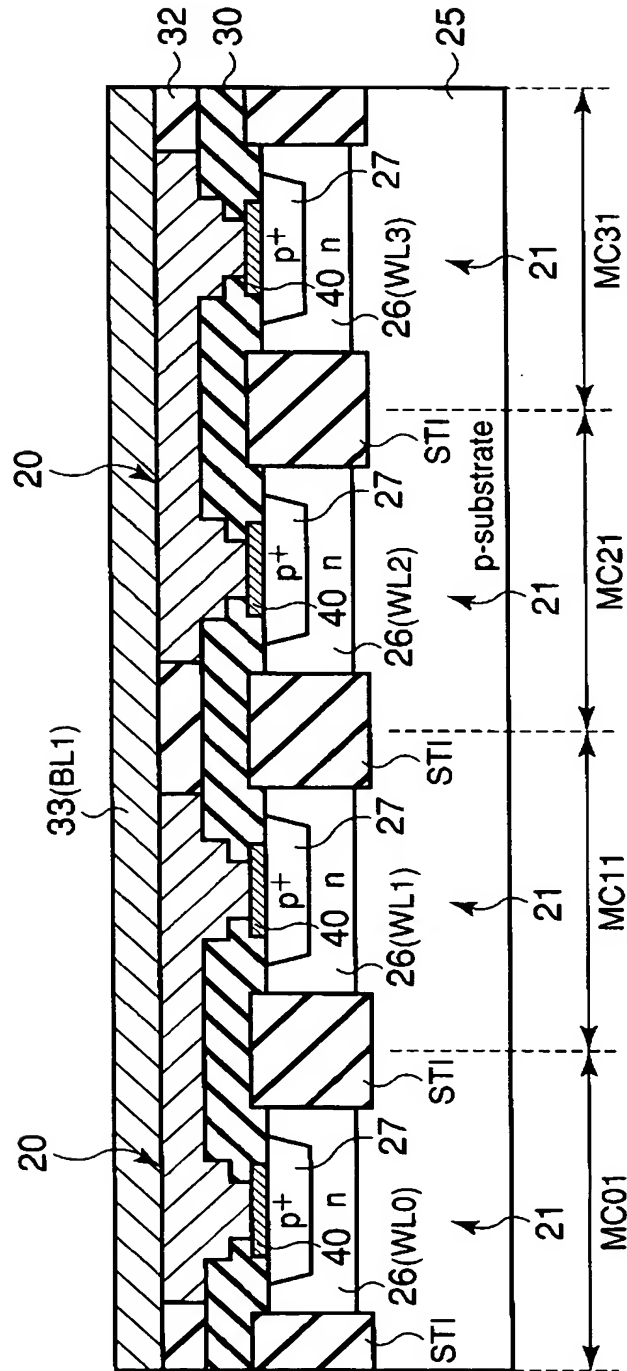


【図 17】



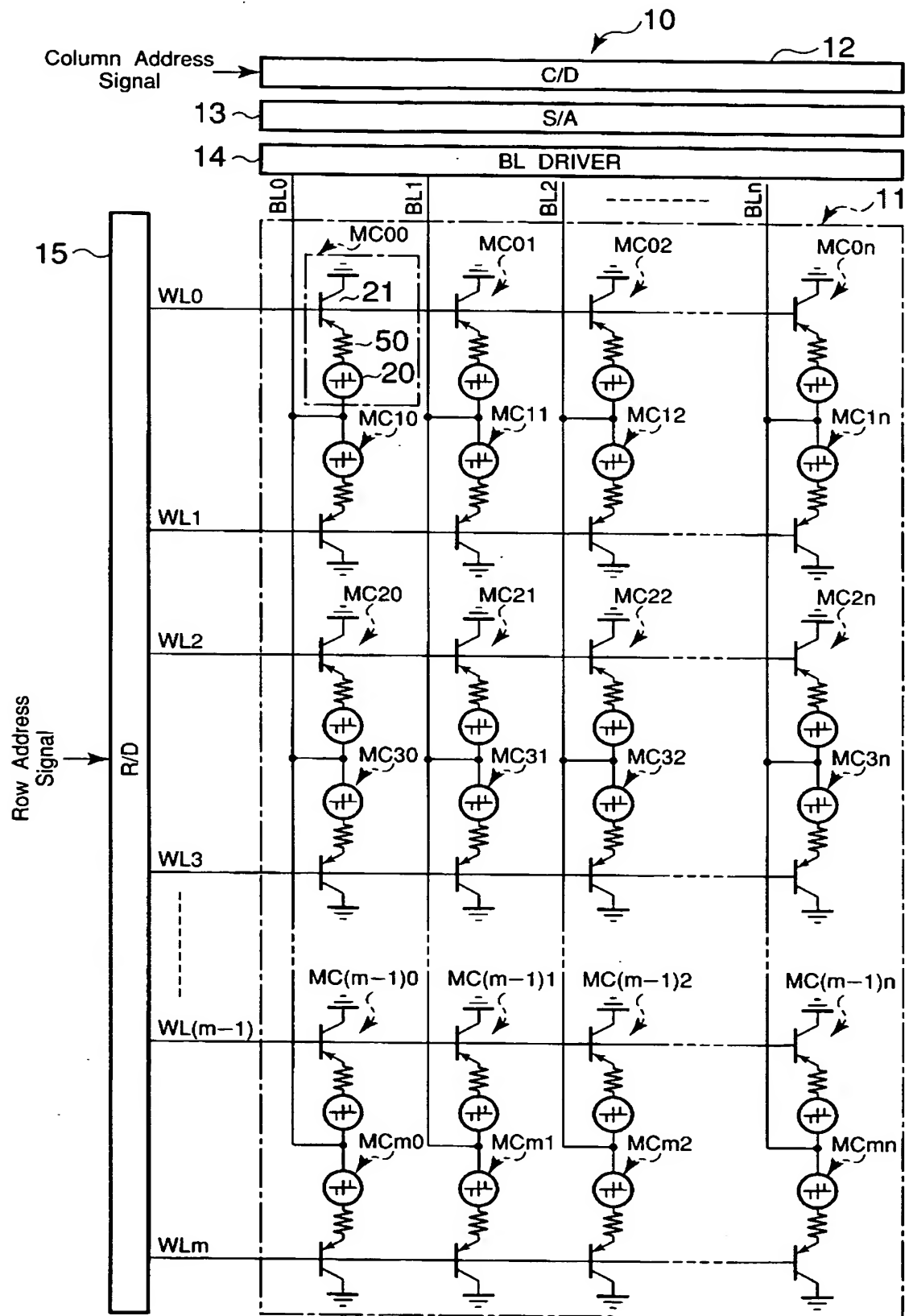


【図 19】

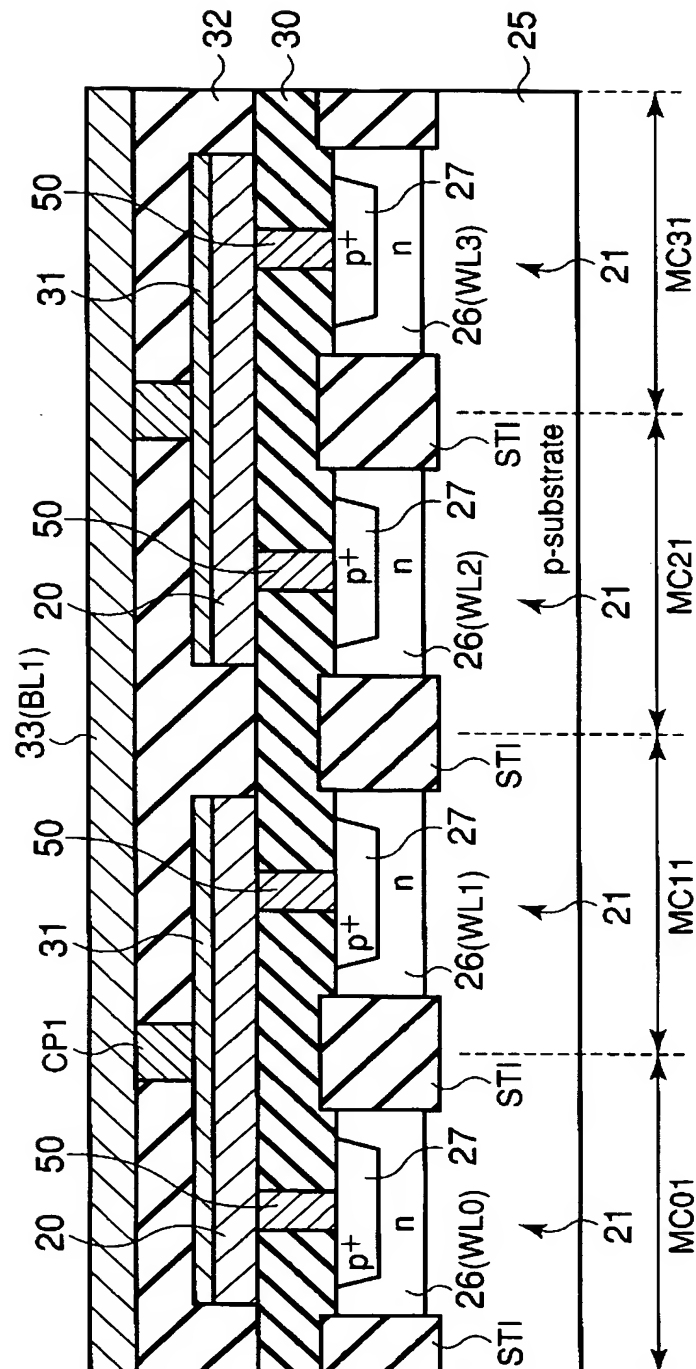




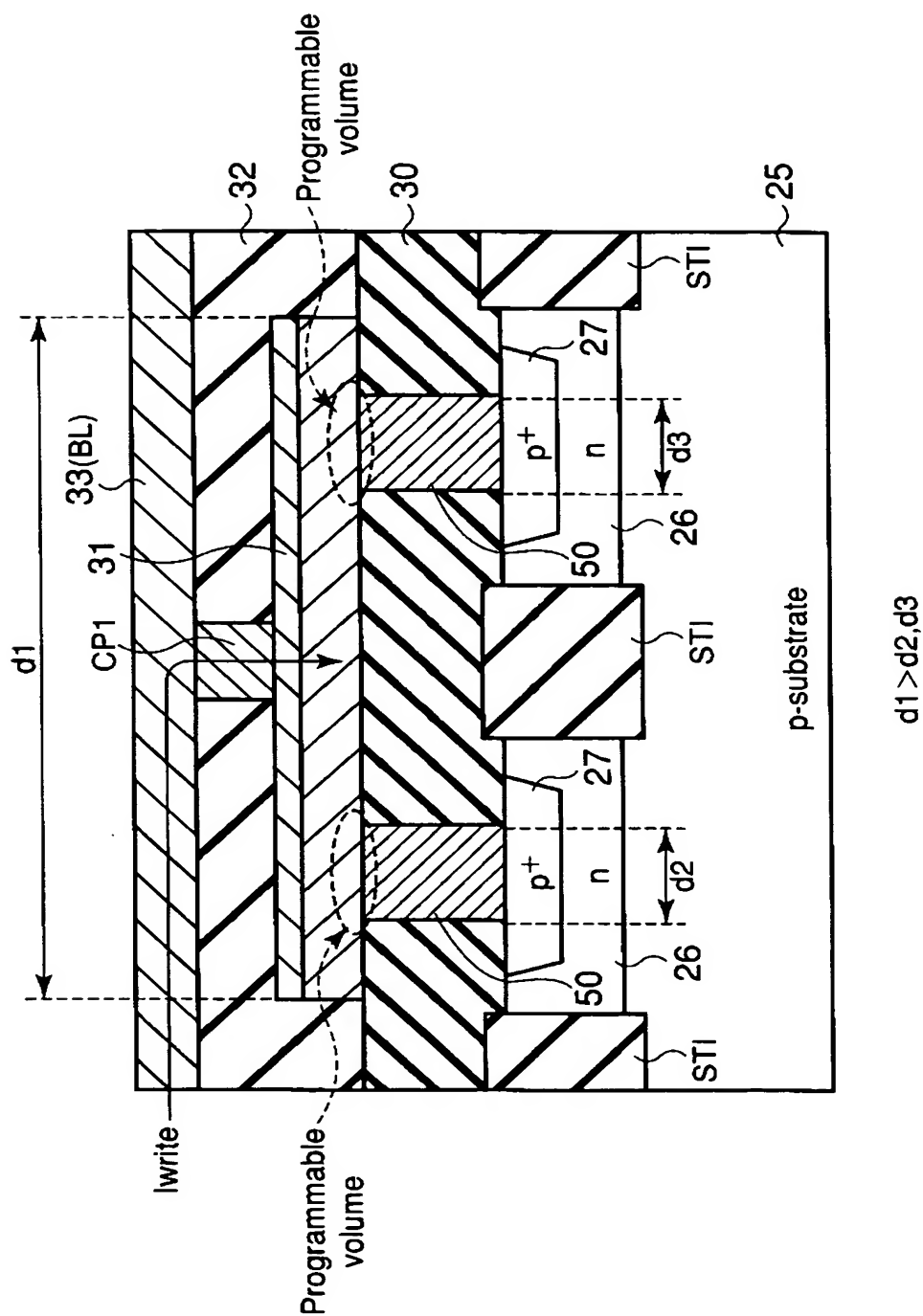
【図 20】



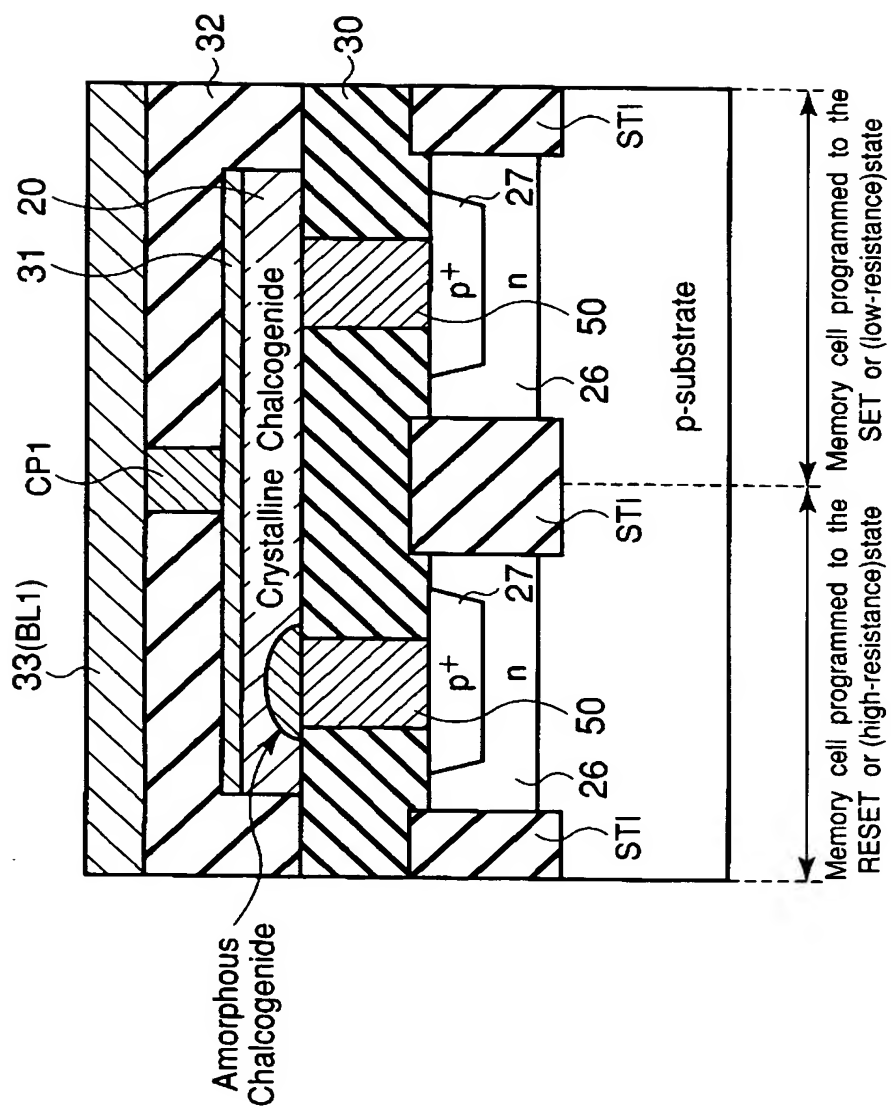
【図 21】



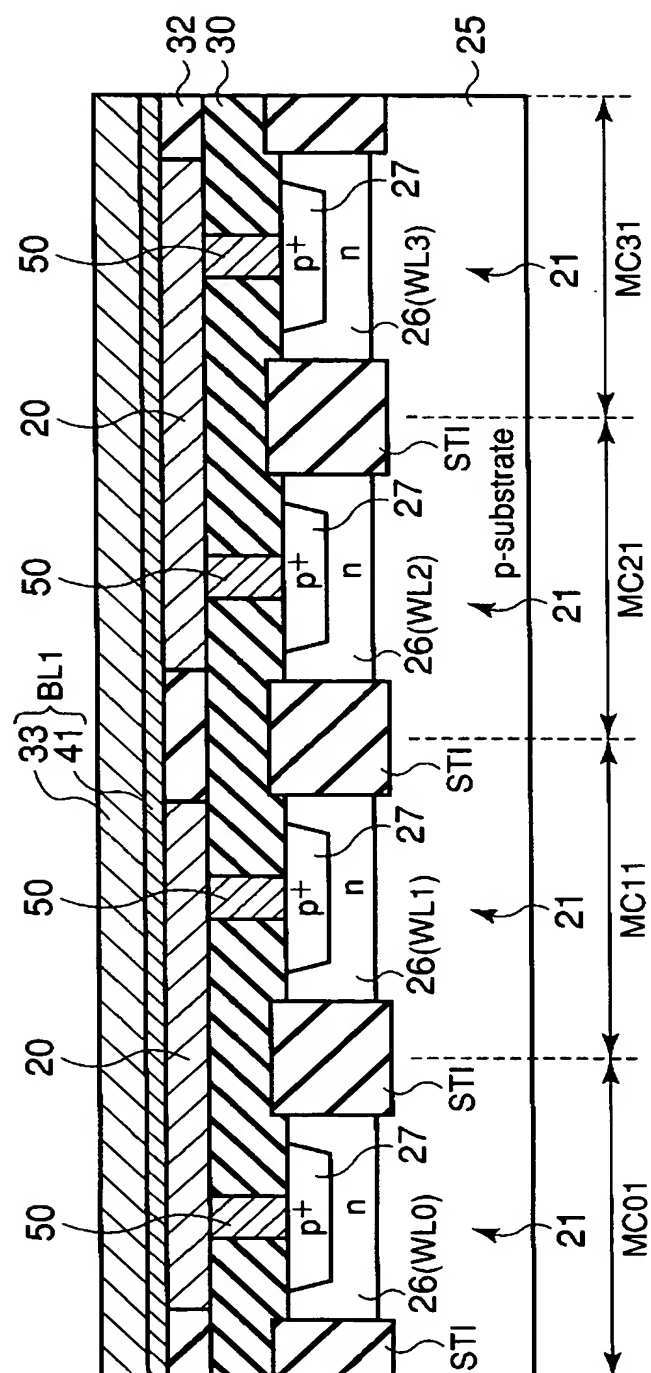
【図 22】



【図 23】

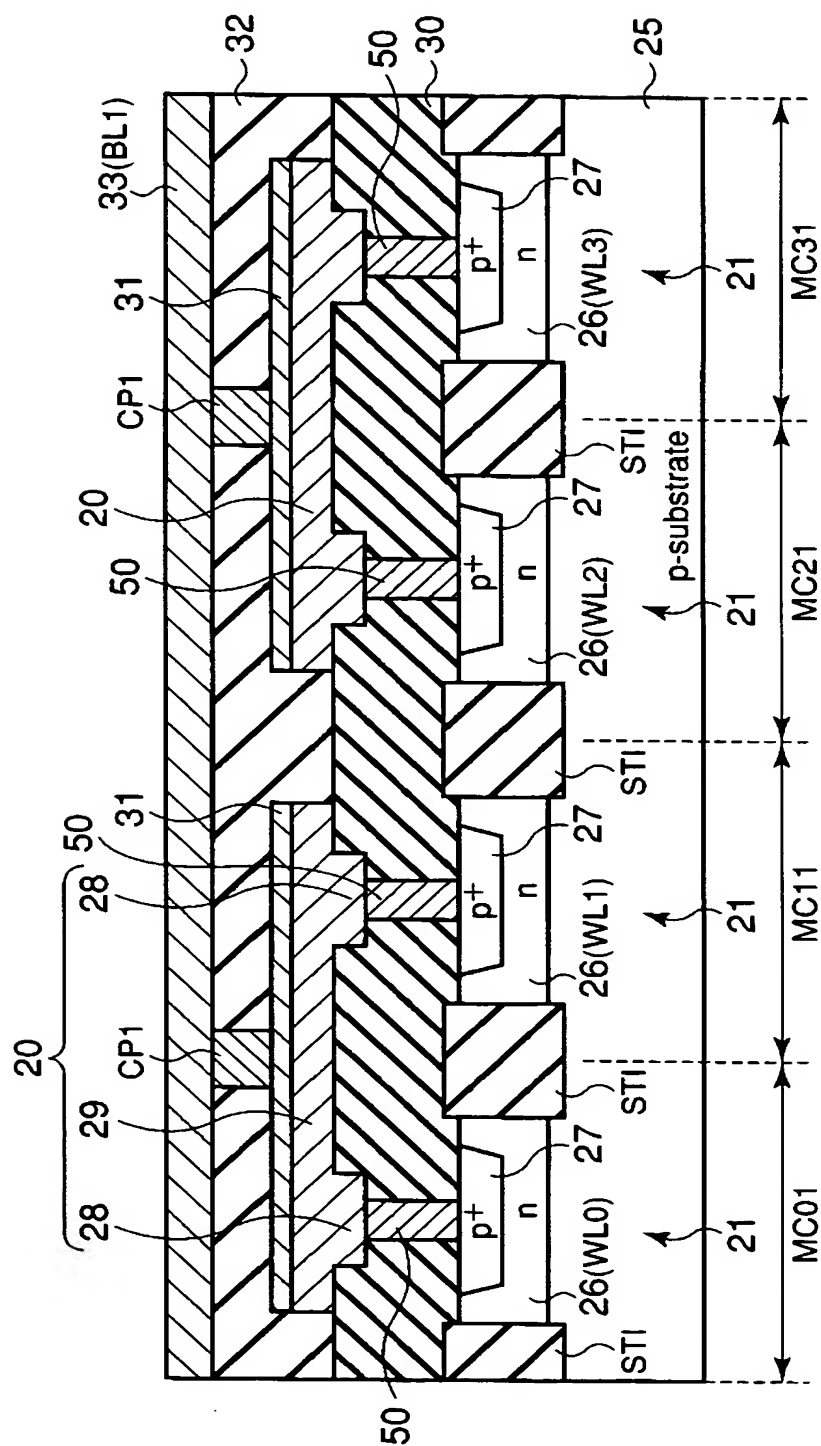


【圖 2 4】

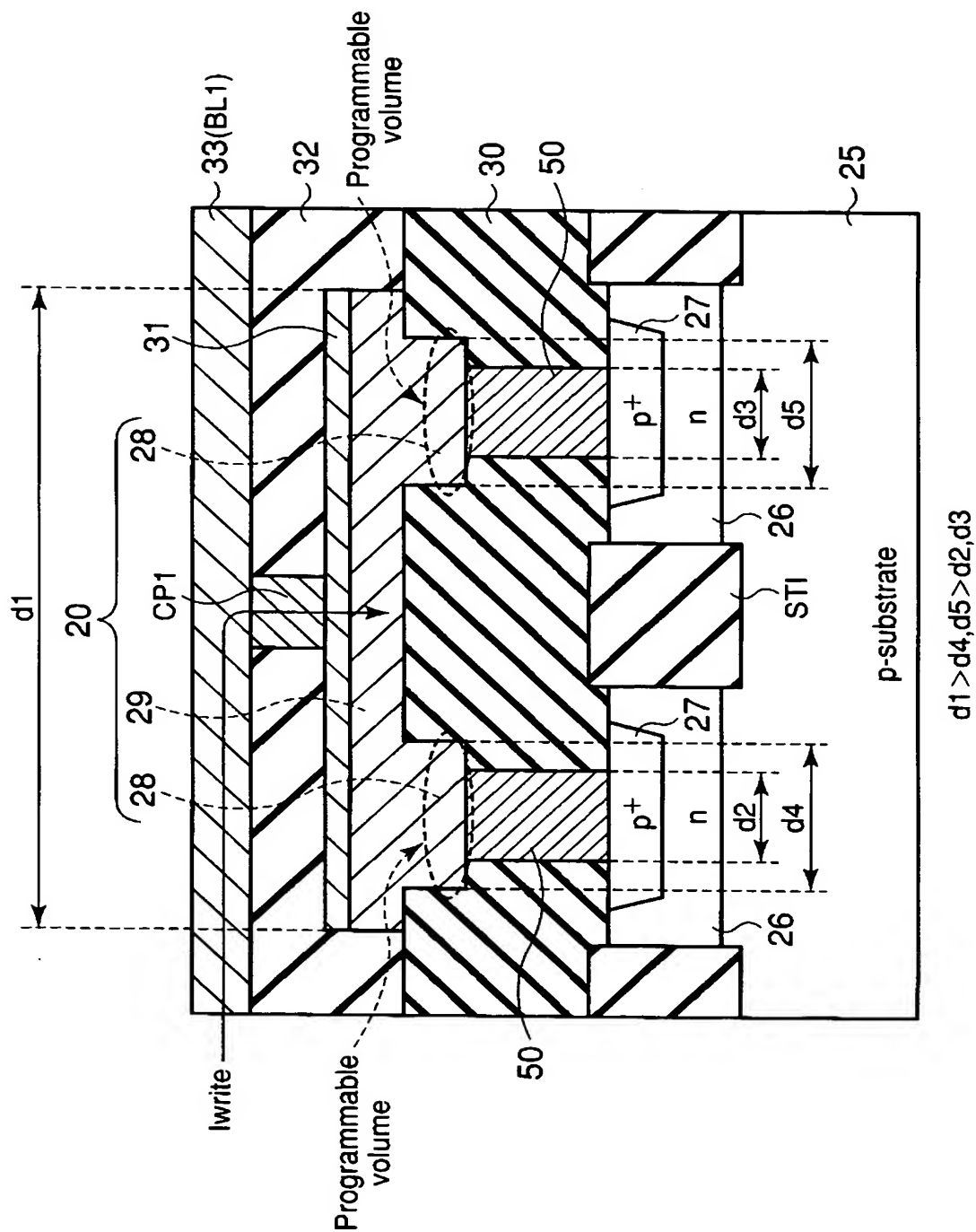




【図 26】

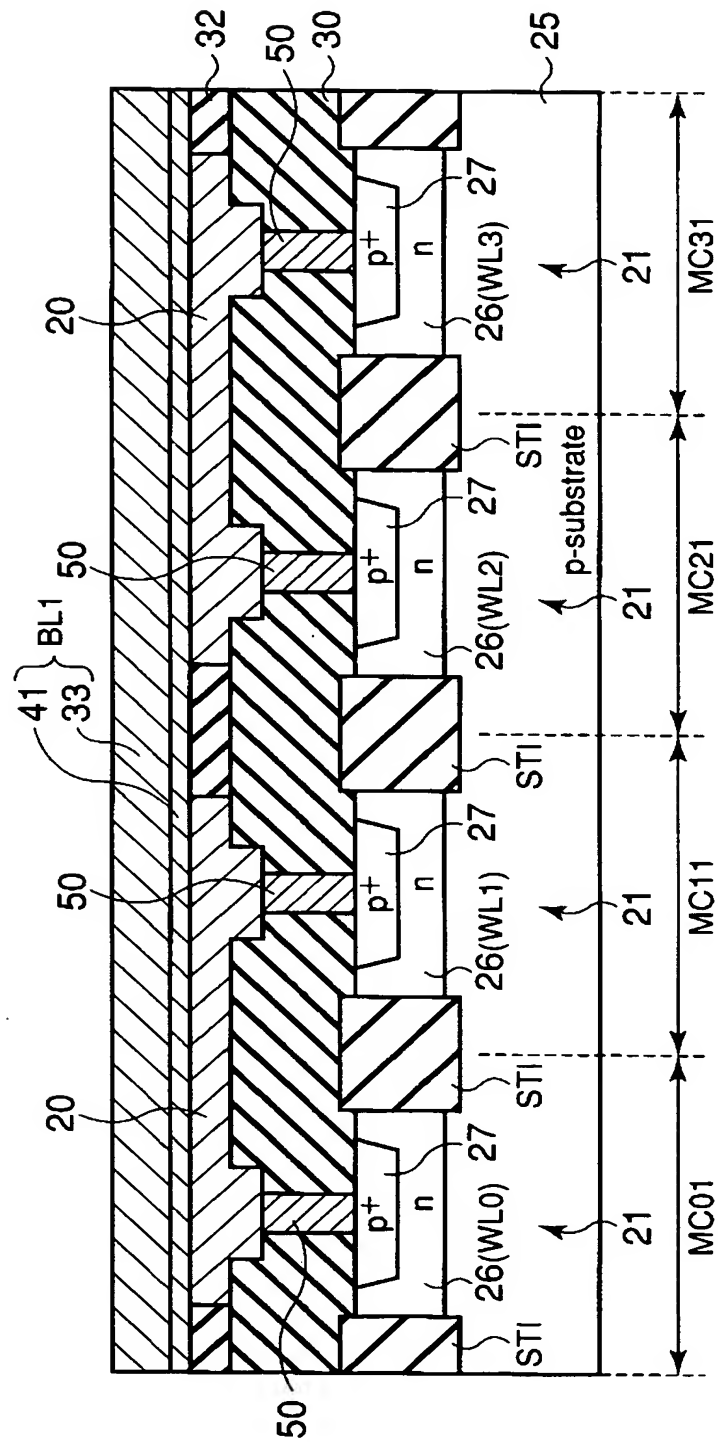


【図 27】

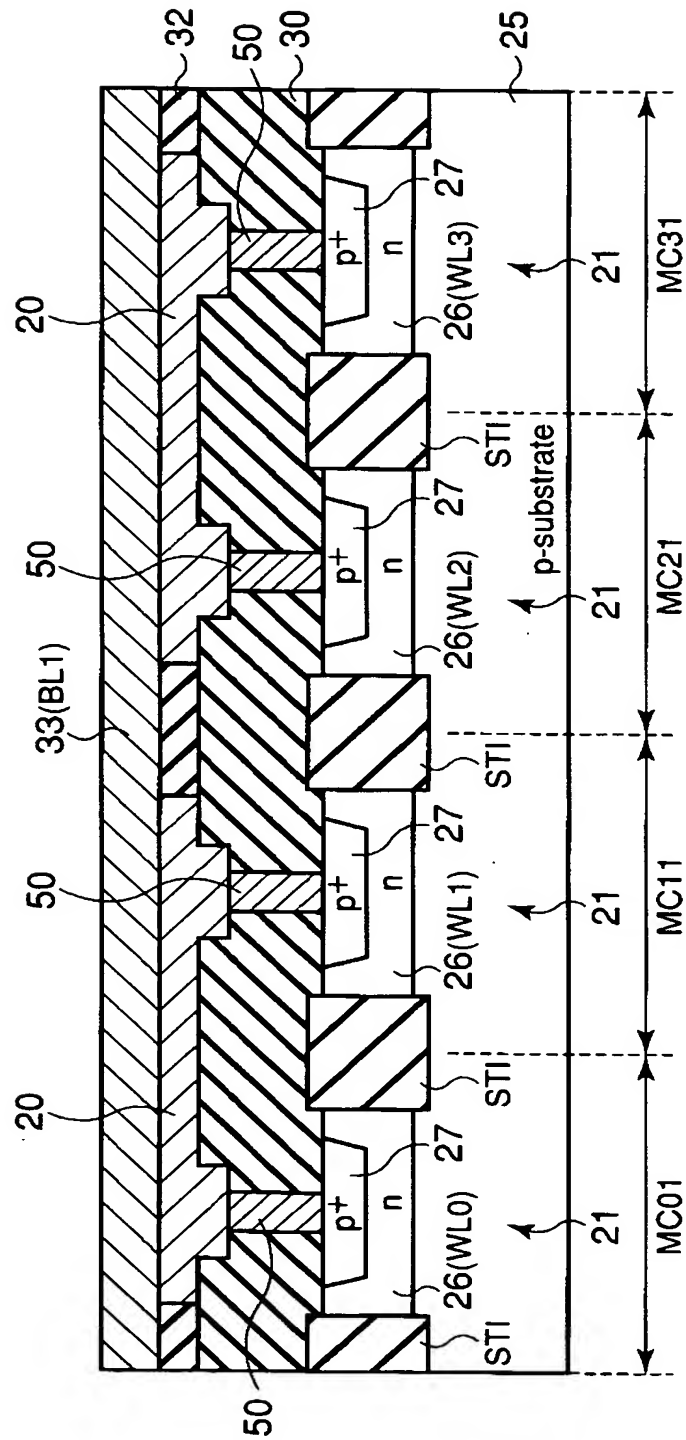




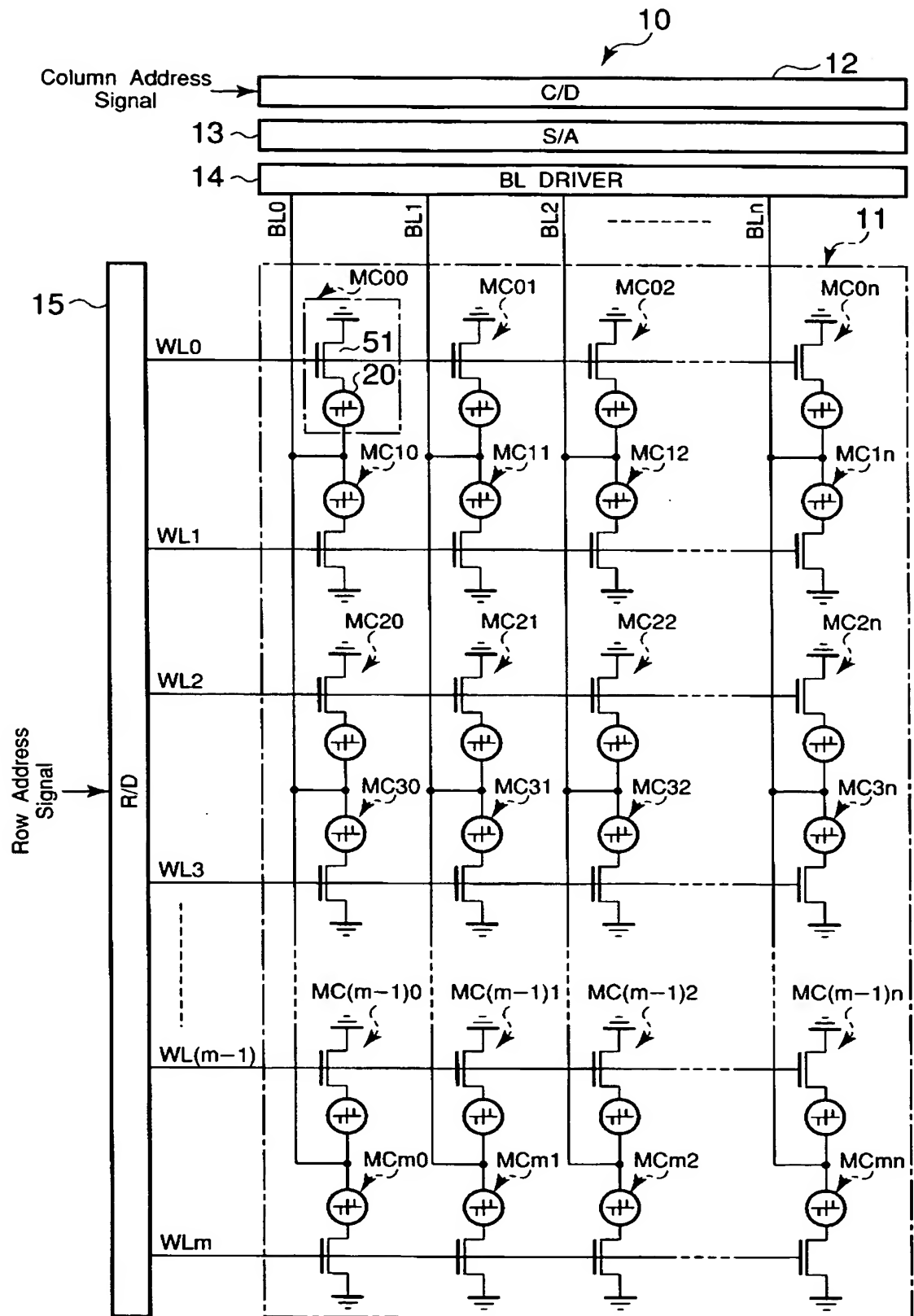
【図 28】



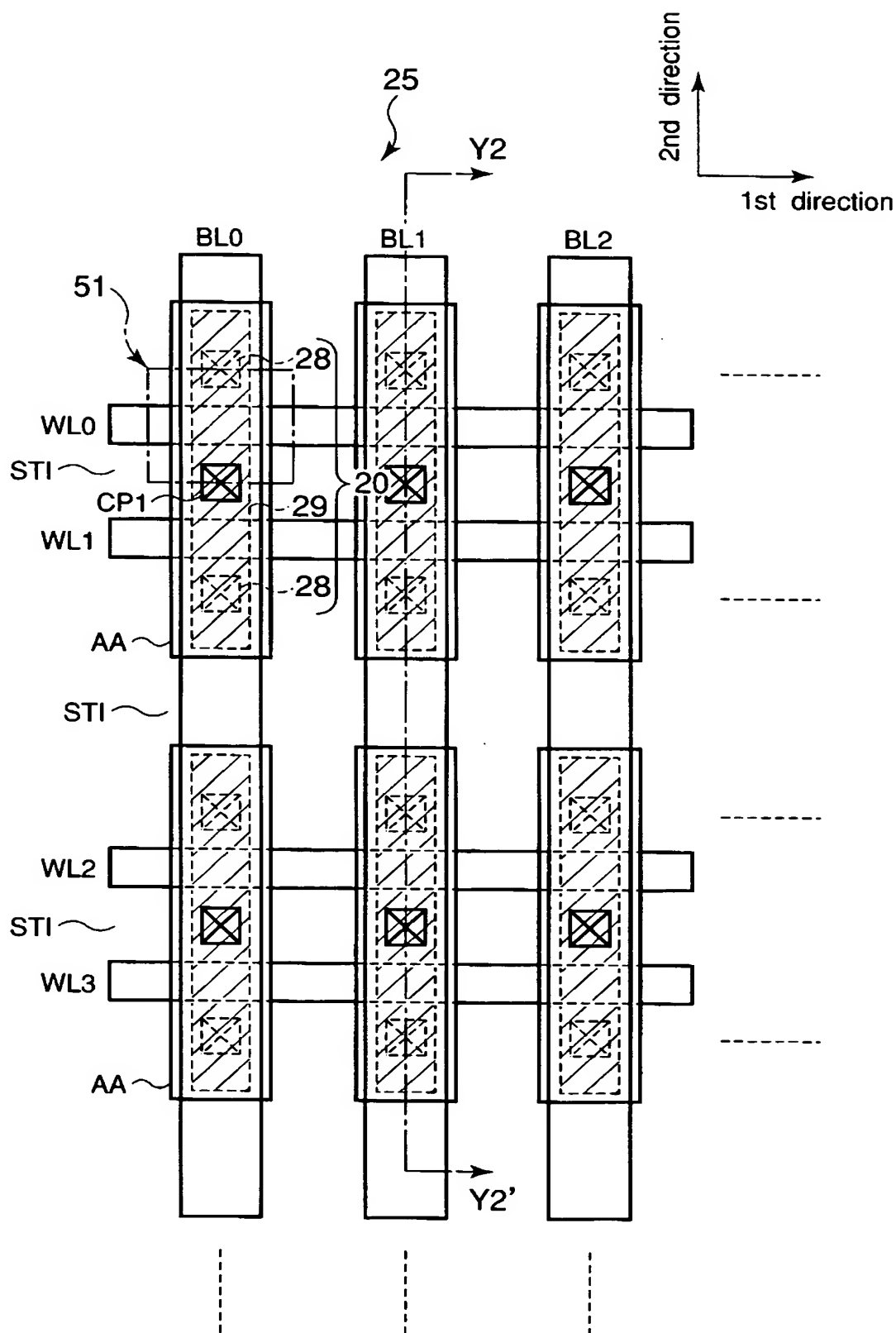
【図 29】



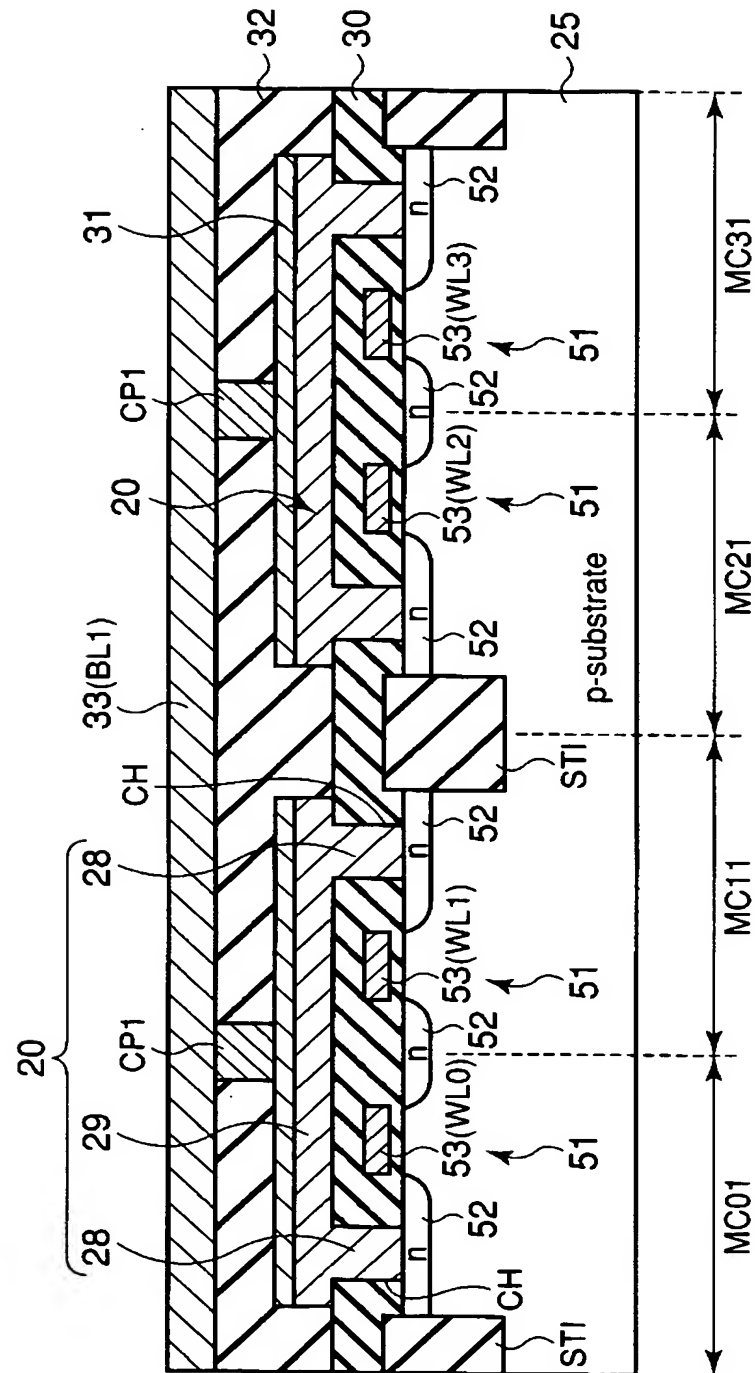
【図 30】



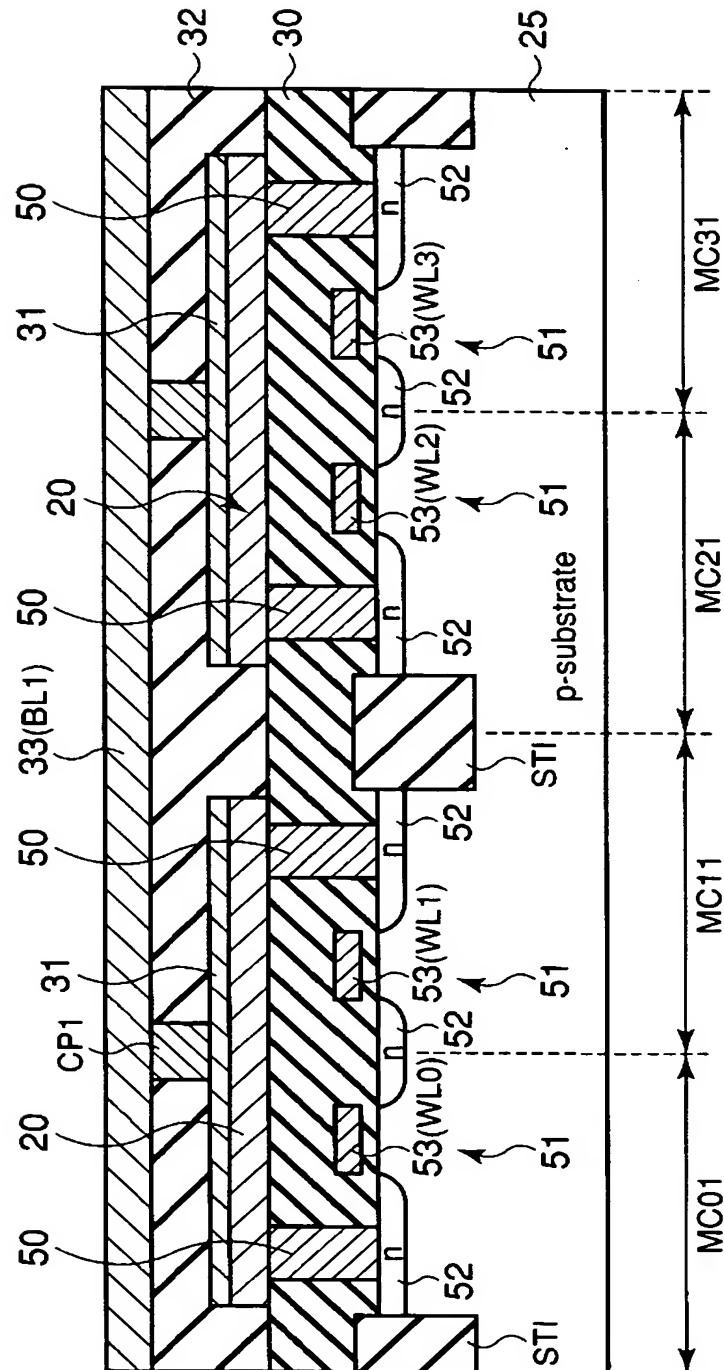
【図 31】



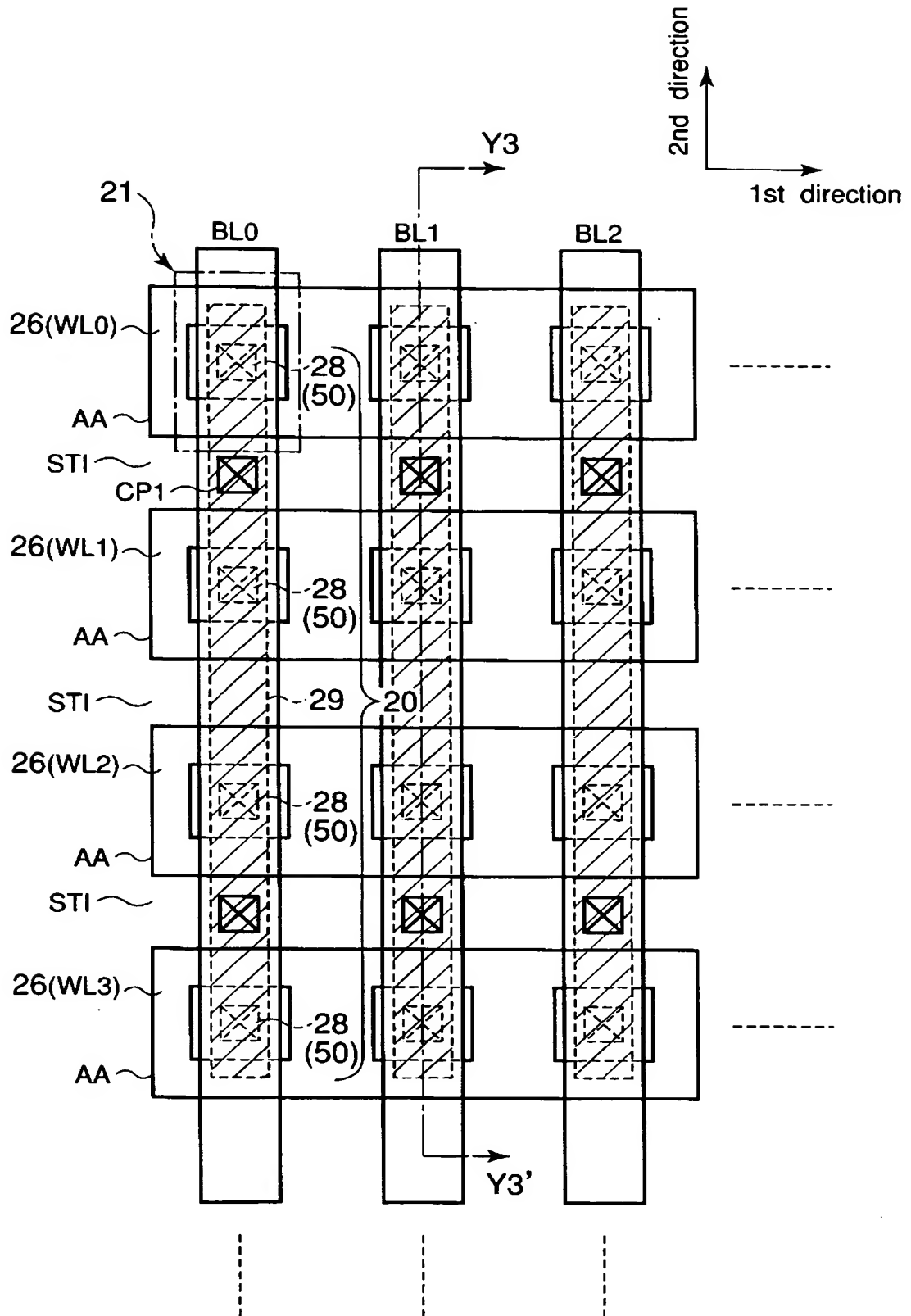
【図 32】



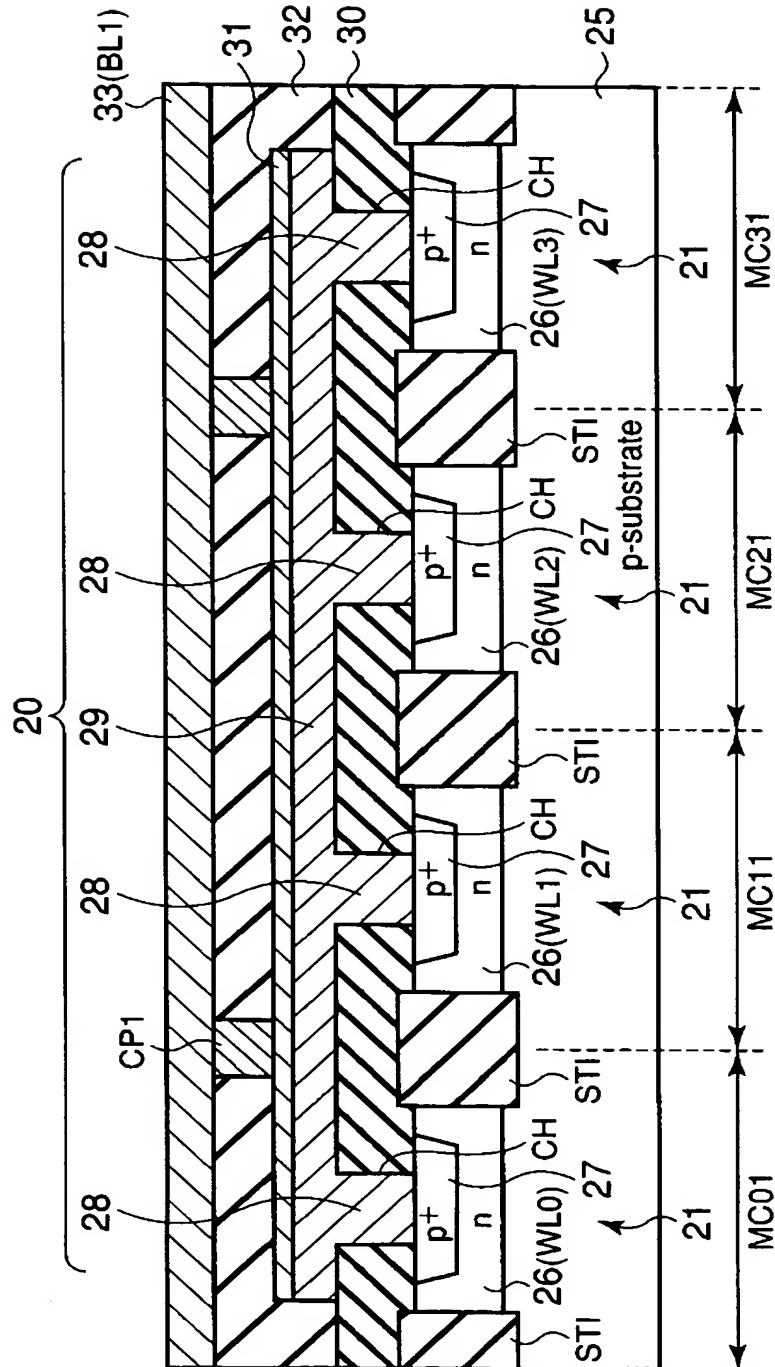
【図 33】



【図 34】

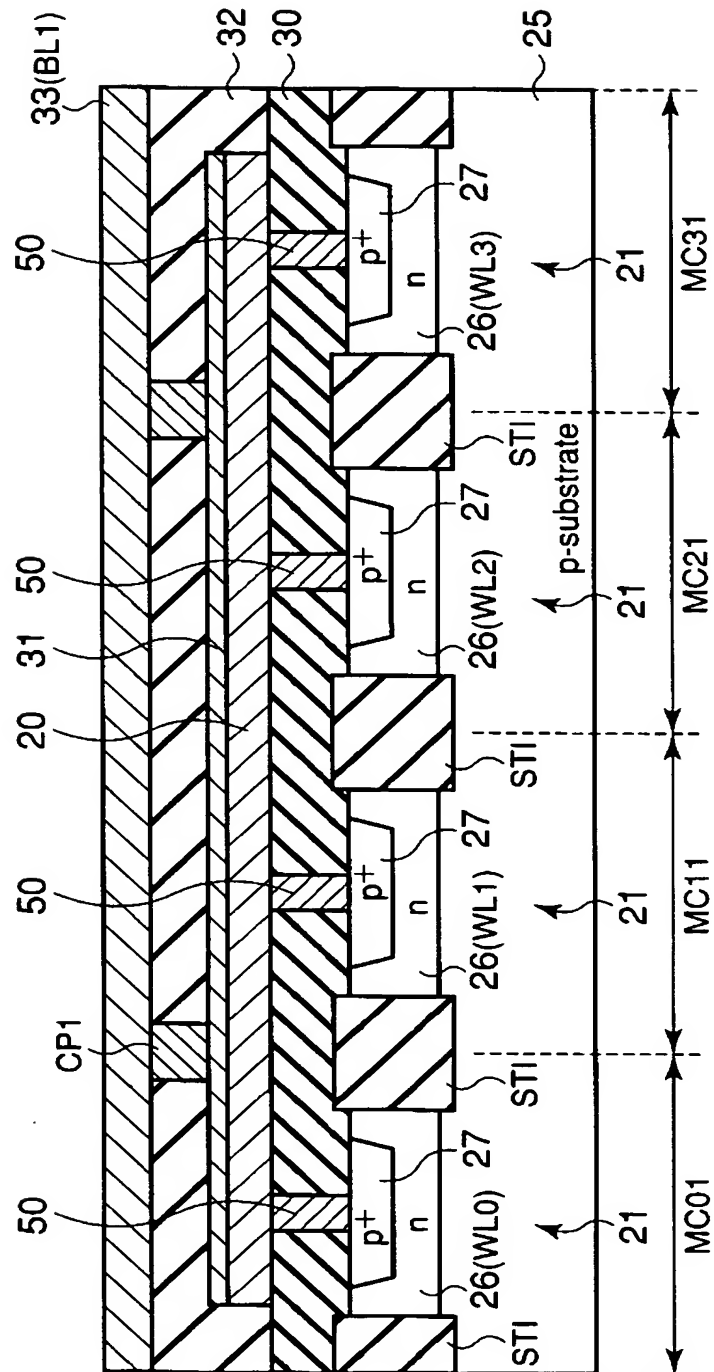


【図 35】

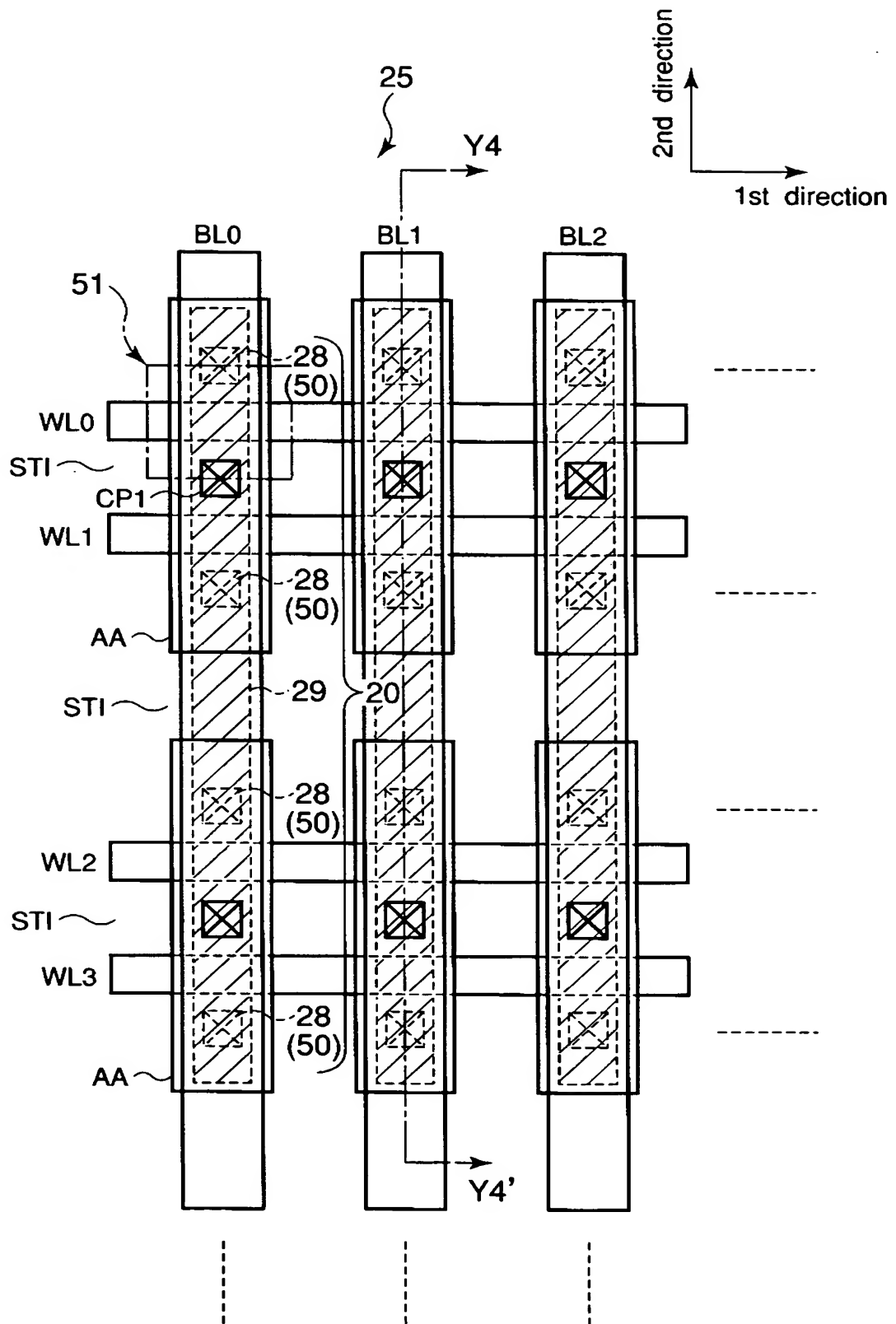




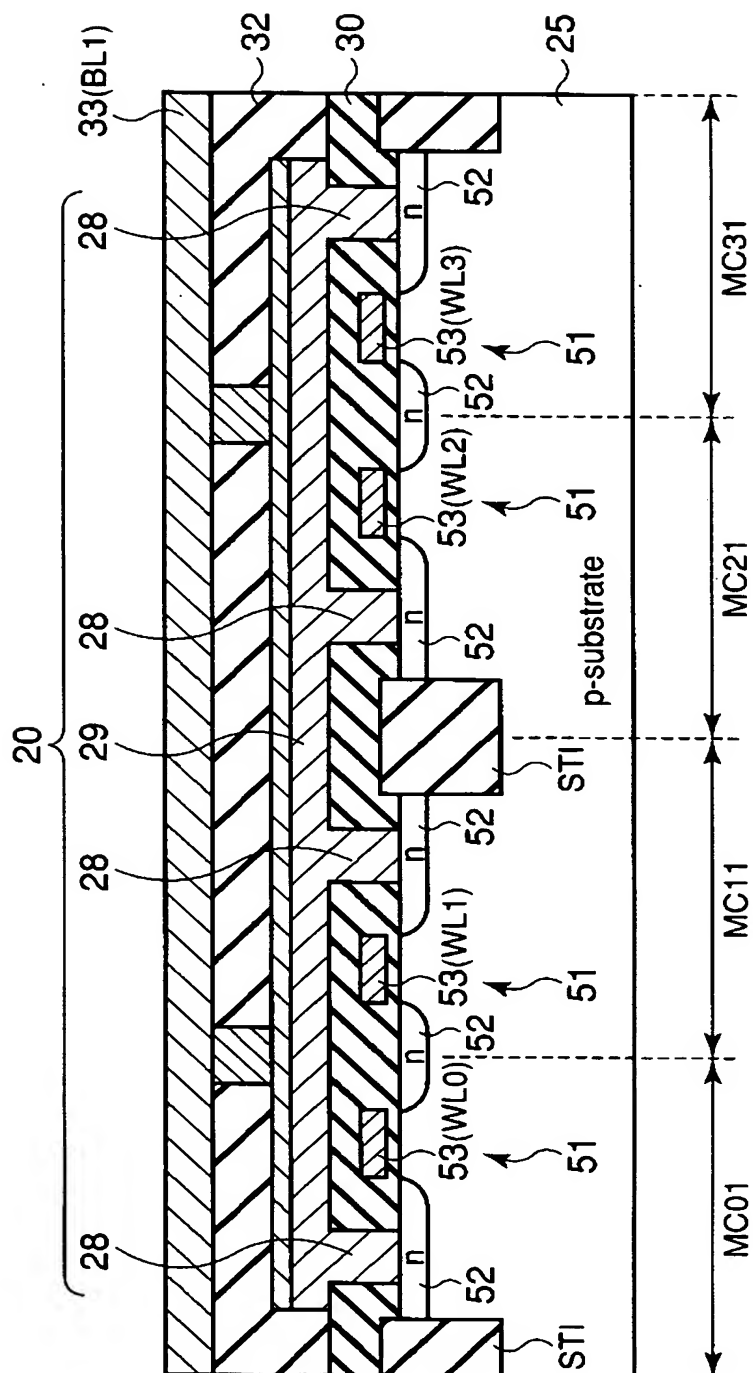
【図 36】



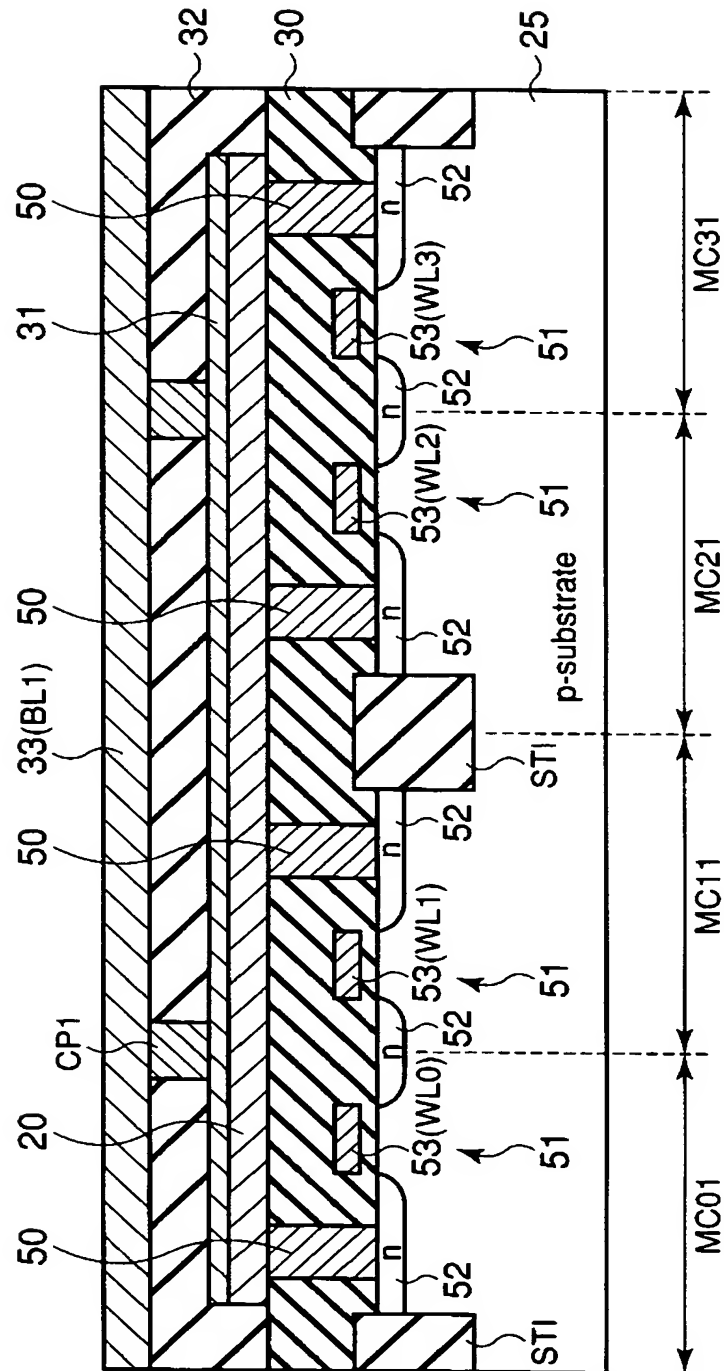
【図 37】



【图 3 8】



【図 39】



## 【書類名】要約書

## 【要約】

【課題】チップサイズを低減しつつ、低消費電力化可能な相転移メモリを提供すること。

【解決手段】半導体基板 25 上に形成されたアモルファス－結晶相転移を生じる相転移層 20 を含む複数のメモリセルと、前記相転移層 20 上に形成された電極層 31 と、前記メモリセルがマトリクス状に配置されたメモリセルアレイ 11 と、同一行の前記メモリセルを共通接続するワード線と、前記電極層 31 に電氣的に接続され、同一列の前記メモリセルの前記相転移層 20 を共通接続するビット線とを具備し、前記相転移層 20 は、前記メモリセル毎に前記半導体基板 10 に接触する第 1 領域 28 と、同一列にある複数の前記メモリセル間で前記第 1 領域 28 を共通接続する第 2 領域 29 とを含み、前記電極層 31 は、前記第 2 領域 28 上に形成され、前記第 1 領域 28 と前記半導体基板 10 とが接する面積は、前記第 2 領域 28 と前記電極層 31 とが接する面積よりも小さい。

【選択図】 図 3

特願 2003-382823

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝